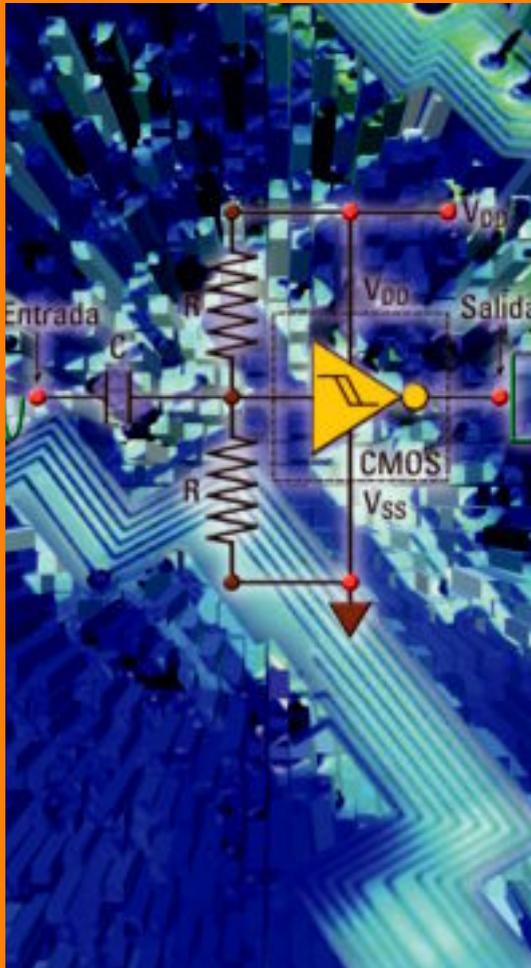


Familia lógica CMOS



Serie:
Desarrollo de contenidos

Electricidad, electrónica y
sistemas de control

Serie: Desarrollo de contenidos

Colección: Electricidad, electrónica y sistemas de control

Familia lógica CMOS

(metal-óxido-semiconductor complementario)

Sergio Noriega

a u t o r i d a d e s

PRESIDENTE DE LA NACIÓN

Dr. Néstor Kirchner

MINISTRO DE EDUCACIÓN, CIENCIA Y TECNOLOGÍA

Lic. Daniel Filmus

DIRECTORA EJECUTIVA DEL INSTITUTO NACIONAL DE
EDUCACIÓN TECNOLÓGICA

Lic. María Rosa Almandoz

DIRECTOR NACIONAL DEL CENTRO NACIONAL DE
EDUCACIÓN TECNOLÓGICA

Lic. Juan Manuel Kirschenbaum



Familia lógica CMOS (Metal-óxido-semiconductor complementario)



Serie:
**Desarrollo de
contenidos**

**Electricidad, electrónica y
sistemas de control**

Serie "Desarrollo de contenidos".
Colección "Electricidad, electrónica y sistemas de control"

Distribución de carácter gratuito.

Queda hecho el depósito que previene la ley n° 11.723. ©
Todos los derechos reservados por el Ministerio de
Educación, Ciencia y Tecnología - Instituto Nacional de
Educación Tecnológica.

La reproducción total o parcial, en forma idéntica o modifi-
cada por cualquier medio mecánico o electrónico incluyendo
fotocopia, grabación o cualquier sistema de almacenamiento
y recuperación de información no autorizada en forma expresa
por el editor, viola derechos reservados.

Industria Argentina.

ISBN 950-00-0551-4

Dirección del Programa:
Juan Manuel Kirschenbaum

Coordinación general:
Haydeé Noceti

Diseño didáctico:
Ana Rúa

Administración:
Adriana Perrone

Diseño gráfico:
Tomás Ahumada
Sebastián Kirschenbaum
Fabiana Rutman

Diseño de tapa:
Tomás Ahumada

Con la colaboración
del equipo de profesionales
del Centro Nacional
de Educación Tecnológica

Todos los libros están
disponibles en la página
web del INET.
www.inet.edu.ar

Noriega, Sergio
Familia lógica CMOS,
coordinado por Juan Manuel Kirschenbaum.
- 1a ed. - Buenos Aires: Ministerio de Educación, Ciencia y
Tecnología de la Nación. Instituto Nacional de Educación
Tecnológica, 2006.
132 p.; 22x17 cm. (Desarrollo de contenidos; 12)

ISBN 950-00-0551-4

I. Sistemas de Control.
I. Kirschenbaum, Juan Manuel, coord. II. Título

CDD 621.312 1

Fecha de catalogación: 3/01/2006

Impreso en MDC MACHINE S. A., Marcelo T. de Alvear 4346
(B1702CFZ), Ciudadela, en setiembre 2006

Tirada de esta edición: 2.000 ejemplares

Índice



Las metas, los programas y las líneas de acción del Instituto Nacional de Educación Tecnológica _____ 6

Las acciones del Centro Nacional de Educación Tecnológica _____ 7

1 Introducción _____ 8

- La búsqueda de la tecnología ideal
- La implementación física de operadores lógicos
- La evolución de las familias lógicas

2 La tecnología CMOS _____ 18

- ¿Qué significa CMOS?
- Los cambios en CMOS
- Análisis de las características eléctricas de dispositivos CMOS estándar

1. *Inversor CMOS*
2. *Diseño de otras compuertas*
3. *Función de transferencia de una compuerta CMOS*
4. *Cargabilidad*
5. *Inmunidad al ruido*

6. *Velocidad de respuesta en dispositivos CMOS*

7. *Disipación de potencia en dispositivos CMOS*

8. *Interpretación de hojas de datos de dispositivos digitales CMOS*

9. *Tipos de entradas en dispositivos CMOS de la serie CD4000*

10. *Tipos de salidas: Normal sin buffer, normal con buffer, Open-Drain, Tri-state*

11. *Compuerta de paso –Pass-Gate–*

- Precauciones en el uso de dispositivos CMOS
- Reglas para la manipulación de circuitos integrados CMOS

3 Migración de la tecnología TTL hacia CMOS _____ 96

- Familia lógica CMOS y tecnología TTL
- Series CMOS de alta velocidad
- Comparación entre CMOS y TTL

Bibliografía _____ 131



Sergio Noriega

Ingeniero en Telecomunicaciones. Se desempeña como Profesional de Apoyo Principal en la Comisión de Investigaciones Científicas de la provincia de Buenos Aires (CIC), con lugar de trabajo en el Laboratorio Metrológico para las Comunicaciones Ópticas (LAMECO) del Centro de Investigaciones Ópticas (CIOp). Es profesor titular en la cátedra “Introducción a los sistemas lógicos y digitales” (Facultad de Ingeniería, Universidad Nacional de La Plata) y profesor asociado en la cátedra “Telecomunicaciones I” (Facultad de Ingeniería y Ciencias Exactas, Universidad Argentina de la Empresa).

Este libro
fue desarrollado
por:

LAS METAS, LOS PROGRAMAS Y LAS LÍNEAS DE ACCIÓN DEL INSTITUTO NACIONAL DE EDUCACIÓN TECNOLÓGICA

El Instituto Nacional de Educación Tecnológica -INET- enmarca sus líneas de acción, programas y proyectos, en las metas de:

- Coordinar y promover programas nacionales y federales orientados a fortalecer la educación técnico-profesional, articulados con los distintos niveles y ciclos del sistema educativo nacional.
- Implementar estrategias y acciones de cooperación entre distintas entidades, instituciones y organismos –gubernamentales y no gubernamentales-, que permitan el consenso en torno a las políticas, los lineamientos y el desarrollo de las ofertas educativas, cuyos resultados sean considerados en el Consejo Nacional de Educación-Trabajo –CoNE-T- y en el Consejo Federal de Cultura y Educación.
- Desarrollar estrategias y acciones destinadas a vincular y a articular las áreas de educación técnico-profesional con los sectores del trabajo y la producción, a escala local, regional e interregional.
- Diseñar y ejecutar un plan de asistencia técnica a las jurisdicciones en los aspectos institucionales, pedagógicos, organizativos y de gestión, relativos a la educación técnico-profesional, en el marco de los acuerdos y resoluciones establecidos por el Consejo Federal de Cultura y Educación.
- Diseñar y desarrollar un plan anual de capacitación, con modalidades presenciales, semipresenciales y a distancia, con sede en el Centro Nacional de Educación Tecnológica, y con nodos en los Centros Regionales de Educación Tecnológica y las Unidades de Cultura Tecnológica.
- Coordinar y promover programas de asistencia económica e incentivos fiscales destinados a la actualización y el desarrollo de la educación técnico-profesional; en particular, ejecutar las acciones relativas a la adjudicación y el control de la asignación del Crédito Fiscal –Ley N° 22.317-.
- Desarrollar mecanismos de cooperación internacional y acciones relativas a diferentes procesos de integración educativa; en particular, los relacionados con los países del MERCOSUR, en lo referente a la educación técnico-profesional.

Estas metas se despliegan en distintos programas y líneas de acción de responsabilidad de nuestra institución, para el período 2003-2007:

Programa 1. Formación técnica, media y superior no universitaria:

- 1.1. Homologación y validez nacional de títulos.
- 1.2. Registro nacional de instituciones de formación técnica.
- 1.3. Espacios de concertación.
- 1.4. Perfiles profesionales y ofertas formativas.
- 1.5. Fortalecimiento de la gestión institucional; equipamiento de talleres y laboratorios.
- 1.6. Prácticas productivas profesionalizantes: Aprender emprendiendo.

Programa 2. Crédito fiscal:

- 2.1. Difusión y asistencia técnica.
- 2.2. Aplicación del régimen.
- 2.3. Evaluación y auditoría.

Programa 3. Formación profesional para el desarrollo local:

- 3.1. Articulación con las provincias.
- 3.2. Diseño curricular e institucional.
- 3.3. Información, evaluación y certificación.

Programa 4. Educación para el trabajo y la integración social.

Programa 5. Mejoramiento de la enseñanza y del aprendizaje de la Tecnología y de la Ciencia:

- 5.1. Formación continua.
- 5.2. Desarrollo de recursos didácticos.

Programa 6. Desarrollo de sistemas de información y comunicaciones:

- 6.1. Desarrollo de sistemas y redes.
- 6.2. Interactividad de centros.

Programa 7. Secretaría ejecutiva del Consejo Nacional de Educación Trabajo –CoNE-T-.

Programa 8. Cooperación internacional.

Los libros que, en esta ocasión, estamos acercando a la comunidad educativa, se enmarcan en el Programa 5 del INET; han sido elaborados por especialistas del Centro Nacional de Educación Tecnológica del INET y por especialistas convocados a través del Programa de las Naciones Unidas para el Desarrollo –PNUD- desde su línea “Conocimientos científico-tecnológicos para el desarrollo de equipos e instrumentos”, a quienes esta Dirección expresa su profundo reconocimiento por la tarea encarada.

Maria Rosa Almandoz

Directora Ejecutiva

del Instituto Nacional de Educación Tecnológica.
Ministerio de Educación, Ciencia y Tecnología

LAS ACCIONES DEL CENTRO NACIONAL DE EDUCACIÓN TECNOLÓGICA

Desde el Centro Nacional de Educación Tecnológica –CeNET– encaramos el diseño, el desarrollo y la implementación de proyectos innovadores para la enseñanza y el aprendizaje en educación técnico-profesional.

El CeNET, así:

- Es un ámbito de desarrollo y evaluación de metodología didáctica, y de actualización de contenidos de la tecnología y de sus sustentos científicos.
- Capacita en el uso de tecnología a docentes, profesionales, técnicos, estudiantes y otras personas de la comunidad.
- Brinda asistencia técnica a autoridades educativas jurisdiccionales y a educadores.
- Articula recursos asociativos, integrando a los actores sociales involucrados con la Educación Tecnológica.

Desde el CeNET venimos trabajando en distintas líneas de acción que convergen en el objetivo de reunir a profesores, a especialistas en Educación Tecnológica y a representantes de la industria y de la empresa, en acciones compartidas que permitan que la educación técnico-profesional se desarrolle en la escuela de un modo sistemático, enriquecedor, profundo... auténticamente formativo, tanto para los alumnos como para los docentes.

Una de nuestras líneas de acción es la de diseñar y llevar adelante un sistema de capacitación continua para profesores de educación técnico-profesional, implementando trayectos de actualización. En el CeNET contamos con quince unidades de gestión de aprendizaje en las que se desarrollan cursos, talleres, pasantías, conferencias, encuentros, destinados a cada educador que desee integrarse en ellos presencialmente o a distancia.

Otra de nuestras líneas de trabajo asume la responsabilidad de generar y participar en redes que vinculan al Centro con organismos e instituciones educativas ocupados en la educación técnico-profesional, y con organismos, instituciones y empresas dedicados a la tecnología en general. Entre estas redes, se encuentra la Red Huitral, que conecta a CeNET con los Centros Regionales de Educación Tecnológica -CeRET- y con las Unidades de Cultura Tecnológica -UCT- instalados en todo el país.

También nos ocupa la tarea de producir materiales de capacitación docente. Desde CeNET hemos desarrolla-

do distintas series de publicaciones –todas ellas disponibles en el espacio web www.inet.edu.ar–:

- *Educación Tecnológica*, que abarca materiales que posibilitan una definición curricular del área de la Tecnología en el ámbito escolar y que incluye marcos teóricos generales, de referencia, acerca del área en su conjunto y de sus contenidos, enfoques, procedimientos y estrategias didácticas más generales.
- *Desarrollo de contenidos*, nuestra segunda serie de publicaciones, que nuclea fascículos de capacitación en los que se profundiza en los campos de problemas y de contenidos de las distintas áreas del conocimiento tecnológico, y que recopila, también, experiencias de capacitación docente desarrolladas en cada una de estas áreas.
- *Educación con tecnologías*, que propicia el uso de tecnologías de la información y de la comunicación como recursos didácticos, en las clases de todas las áreas y espacios curriculares.
- *Educadores en Tecnología*, serie de publicaciones que focaliza el análisis y las propuestas en uno de los constituyentes del proceso didáctico: el profesional que enseña Tecnología, ahondando en los rasgos de su formación, de sus prácticas, de sus procesos de capacitación, de su vinculación con los lineamientos curriculares y con las políticas educativas, de interactividad con sus alumnos, y con sus propios saberes y modos de hacer.
- *Documentos de la escuela técnica*, que difunde los marcos normativos y curriculares que desde el CONET –Consejo Nacional de Educación Técnica- delinearón la educación técnica de nuestro país, entre 1959 y 1995.
- *Ciencias para la Educación Tecnológica*, que presenta contenidos científicos asociados con los distintos campos de la tecnología, los que aportan marcos conceptuales que permiten explicar y fundamentar los problemas de nuestra área.
- *Recursos didácticos*, que presenta contenidos tecnológicos y científicos, estrategias –curriculares, didácticas y referidas a procedimientos de construcción– que permiten al profesor de la educación técnico-profesional desarrollar, con sus alumnos, un equipamiento específico para integrar en sus clases.

Juan Manuel Kirschenbaum

Director Nacional
del Centro Nacional de Educación Tecnológica.
Instituto Nacional de Educación Tecnológica

1. INTRODUCCIÓN

La búsqueda de la tecnología ideal

Desde antes de la invención del transistor, era propósito de los ingenieros implementar físicamente lo que se conocía, ya en esa época, como el álgebra de Boole.

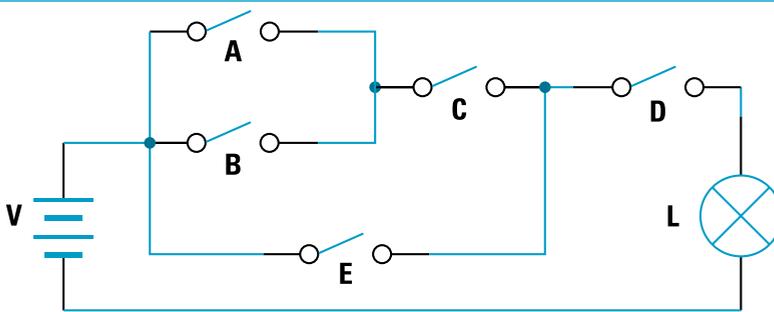
Álgebra de Boole es un conjunto de reglas que relacionan a una variable de salida con variables de entrada, para conformar una función denominada lógica, donde cada variable puede tener dos valores posibles –en forma genérica, “verdadero” y “falso”; más comúnmente, “0” y “1” lógicos–.

Del formalismo de Boole se crean las ya conocidas funciones lógicas binarias: “negación”, “or” y “and” y sus derivados “nor”, “nand”, “or-exclusivo” y “nor-exclusivo”. Estas funciones son conocidas, también, como **operadores lógicos**.

Este tipo de tratamiento resulta muy interesante de aplicar en aquellos casos de la ingeniería en los que se plantea un problema con variables que sólo tienen dos estados posibles.

Así, uno de los primeros ejemplos clásicos de aplicación del Álgebra de Boole que –habitualmente– consideramos con nuestros alumnos, es un circuito eléctrico formado por llaves que

encienden una lámpara, las que pueden conectarse formando diferentes caminos (en paralelo o en serie), a fin de que se cierre el circuito eléctrico y se encienda la lámpara.



Circuito eléctrico factible de ser representado por álgebra de Boole

El estado de la lámpara “0” o “1” se asigna a la condición de si está apagada o encendida, respectivamente.

De igual forma, el estado de cada llave se puede asignar para los casos de “llave abierta” o “llave cerrada”, que corresponden a “0” o “1” lógico, respectivamente.

Con la invención de la válvula electrónica en la década de 1930, comienza una carrera entre los grandes fabricantes de productos electrónicos, a fin de recrear componentes que puedan emular diferentes tipos de funciones lógicas.

Es así como se crea la primera computadora –denominada ENAC, *Electronic Numerical Integrator and Computer*; integrador numérico electrónico y computador– construida con una gran cantidad de estos dispositivos (18.000 válvulas) y que consumía 200.000 watt. Sus dimensiones son las de un cuarto de habitación.

Posteriormente, el transistor –creado en 1947– da un nuevo giro en el desarrollo de dispositivos, tanto digitales como analógicos; su pequeño tamaño y bajo consumo permiten diseñar circuitos miniatura.

Hacia mediados de la década de 1950, se construyen circuitos electrónicos en laboratorios industriales de dos compañías estadounidenses: *Texas Instruments* y *Fairchild Semiconductor*.

Desde 1958, se empieza a usar la palabra **microelectrónica**. Un bloque –chip– de silicio de un área de 0.5 cm² puede contener, entonces, de 10 a 20 transistores con varios diodos, resistencias y condensadores.

Así, nace la idea del **circuito integrado**, un circuito eléctrico muy avanzado formado, en general, por transistores, diodos, resistencias y capacitores conectados convenientemente, a fin de realizar una tarea específica.

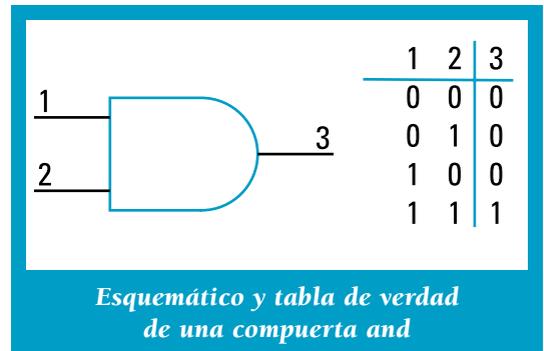
Jack Kilby, de *Texas Instruments*, es quien lo inventa. Posteriormente, Robert Noyce hace mejoras en cuanto a resolver problemas de encapsulamiento de los chips.

La implementación física de operadores lógicos

Con el conjunto de funciones básicas (*and*, *or* y negación) es posible implementar cualquier circuito digital simple o complejo; desde multiplexores y decodificadores, pasando por flip-flops, contadores y registros de desplazamiento, hasta dispositivos muy complejos como los microprocesadores.

Como usted sabe, cada compuerta responde a una tabla de verdad o ecuación lógica, que es la que define su comportamiento.

Así, por ejemplo, una compuerta *and* de 2 entradas hace que su salida sea “1” sólo cuando ambas entradas valgan “1” y “0” para cualquier otra combinación de sus entradas.



El mismo análisis es aplicable a cualquier otra función. Siempre aparecen en las variables los dos estados posibles “0 o F –de falso–” y “1 o V –de verdadero–”.

Plantear esto en un papel o en la computadora (cuando se hacen simulaciones de circuitos digitales) es válido. El problema es su implementación física; el desafío se plantea cuando debemos pasar del “0” lógico y “1” lógico a algo más tangible.

Dado el conocimiento de los operadores lógicos estudiados, el profesor pregunta a los alumnos:

- ¿Cómo asociamos los valores de las variables lógicas de una compuerta con algo real?
- ¿Qué ejemplo en la vida cotidiana puede asimilarse a, por ejemplo, una función *and*?
- ¿Cómo se puede generar el hardware de una *and* o de otra compuerta?

La primera respuesta es asociar el “0” y el “1” lógico a dos estados diferentes de algún parámetro físico. Existen varias posibilidades: emplear parámetros eléctricos, magnéticos, ópticos o de cualquier otra naturaleza, donde se pueda desarrollar un circuito capaz de generar la lógica binaria requerida. De aquí, los alumnos concluyen que una *and* se puede implementar realizando un circuito eléctrico en el que se alimenta una lámpara con una batería, entre las cuales hay dos llaves en serie. Para que la lámpara encienda (“1” lógico), deben estar ambas llaves cerradas (en “1” lógico).

Las primeras manifestaciones de generación de circuitos lógicos se obtienen empleando circuitos eléctricos; en ellos, los parámetros más aceptables a utilizar para definir los niveles lógicos “1” y “0” son, en principio, **la tensión eléctrica y la corriente eléctrica**.

De ambos, se adopta la tensión eléctrica como la representación física de una variable lógica que se relaciona con los estados bina-

rios; por ejemplo 0 volt de tensión representa el estado binario “0” lógico y +5 volt representa el estado binario “1” lógico.

Surge, así, el concepto de familia lógica.

Familia lógica es una tecnología que emplea una serie de componentes con una configuración particular y características de funcionamiento perfectamente definidas, de manera de poder implementar físicamente funciones lógicas.

Utilizando el parámetro **tensión** como nexo entre el mundo físico y el numérico, es posible construir –para este caso– circuitos eléctricos que puedan realizar operaciones lógicas.

La idea es construir circuitos integrados capaces de:

- consumir poca corriente para usarlos en aplicaciones portátiles,
- implementar muchas funciones lógicas en un área muy pequeña (esto baja el costo),
- ser veloces, a fin de realizar muchas operaciones matemáticas en corto tiempo,
- reducir la posibilidad de mal funcionamiento ante la presencia de ruido eléctrico.

Para ello, podemos establecer –como una meta hipotética–:

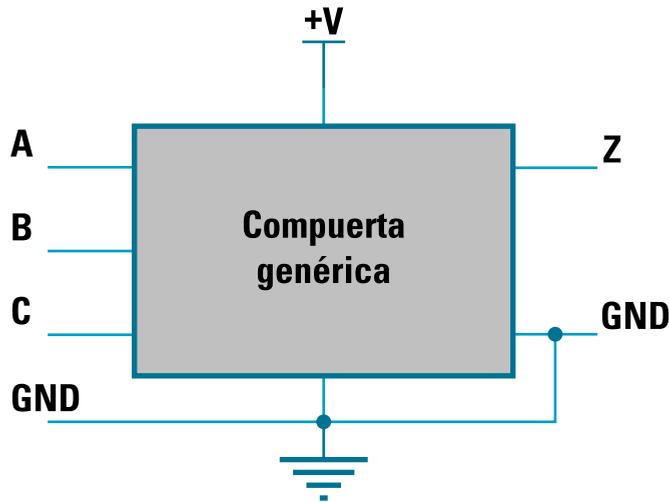
- **¿Cuáles son las características ideales que tendría que tener una familia lógica?**

A partir de esta especificación, vamos a ver cómo los sucesivos avances tecnológicos fueron dando lugar a diversos tipos de familias lógicas¹ que han tratado y siguen tratando de alcanzar esta meta utópica.

¹En esta publicación abordamos la tecnología CMOS (Metal-óxido-semiconductor complementario)

Si consideramos que cada compuerta es un circuito activo, entonces éste debe ser alimentado

con una fuente de tensión eléctrica; si es pasivo, esta fuente no es necesaria.



Esquema de una compuerta genérica

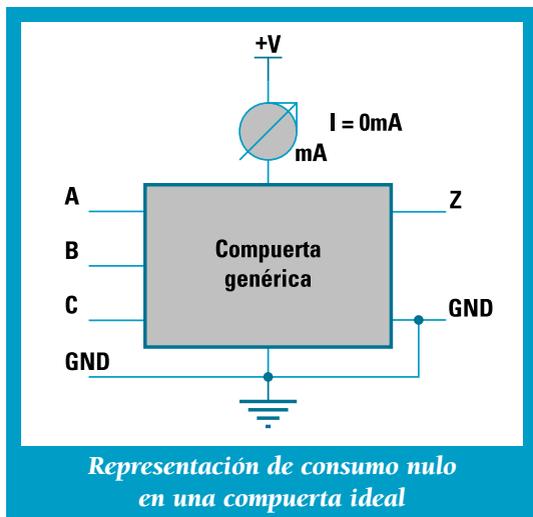
¿Cuáles son las características de esta familia lógica por crear?

1. Que sus entradas respondan a dos valores de tensión que consideremos como "0" y "1" lógicos; por ejemplo, podemos suponer que "0" corresponde a 0 volt y "1" corresponde a una tensión de $V_{cc} = +5\text{ V}$.
2. Que el circuito no consuma corriente —es decir, disipación de potencia nula, con lo cual la batería tendría una duración ilimitada—.
3. Que la salida mantenga los niveles de tensión para el "0" lógico y "1" lógico invariable, independientemente del valor de la carga aplicada.
4. Que sea infinita la inmunidad al ruido respecto al que puedan presentar las entradas.
5. Que la velocidad de respuesta sea instantánea; o, lo que es lo mismo, que la salida responda a los cambios de las entradas, en tiempo nulo, con lo cual no existirían retardos de tiempo.

Todo esto es utopía. Pero, lo interesante es, al menos, comenzar el camino hacia ella. Y esto es lo que han intentado las diferentes tecnologías desarrolladas desde la década del '70 hasta hoy, las que han logrado acercarse cada vez más a esta familia lógica ideal.

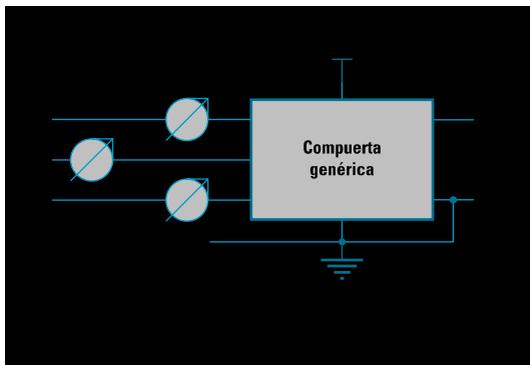
Analicemos la viabilidad de cada una de las premisas que nos planteamos:

1. Es imposible asignar a un nivel lógico un determinado valor de tensión, ya que siempre existe ruido que se suma a las señales.
2. Un consumo nulo de potencia implica que, si el circuito es activo, éste no debería tomar energía de la fuente de alimentación.



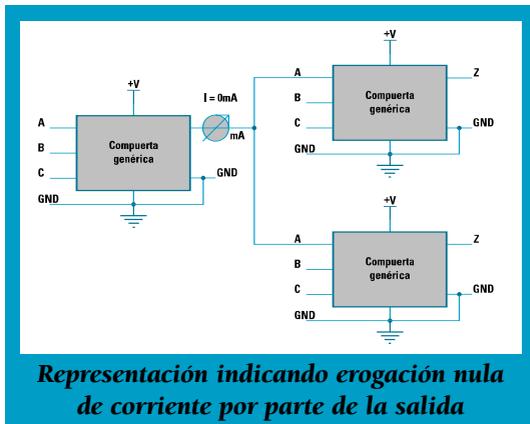
Esto se traduce en que, internamente, no debería haber consumo y que la salida no debería entregar corriente alguna a las cargas conectadas a él.

Además, sus entradas deberían presentar una impedancia infinita a lo que esté conectado a ellas.



Del mismo modo, su salida no deberá entregar corriente a carga alguna ya que, si existiera, debería ser suministrada por la fuente de alimentación –y esto está vedado–.

La única forma de conseguir esto es con cargas de impedancia infinita. Como, en general, la salida de una compuerta dada se conecta a las entradas de otras, éstas deberían entonces tener una impedancia de entrada infinita.

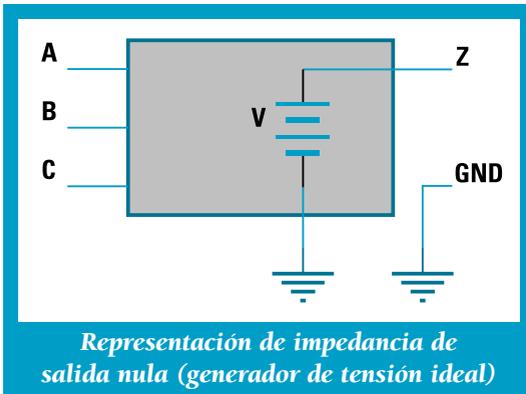


3. Aunque supusiéramos que se permite entregar corriente a lo que está conectado a la salida, la tensión que genere ésta para un nivel lógico dado (por ejemplo, “1” lógico) no debe modificarse aunque la carga sea muy grande. Esto significa que la salida se debe comportar como un generador de tensión de corriente continua de resistencia interna de fuente nula, con lo cual siempre entregará su tensión, sin importar qué carga se conecte a él (excepto, el caso límite de un cortocircuito franco a su salida).

4. En lo que respecta a la inmunidad al ruido, si el rango de tensiones de entrada va desde –digamos– 0 V a +Vcc, lo mejor que podemos hacer para combatir el ruido que pueda introducirse junto con la señal eléctrica que contiene el dato “0” o “1” es lograr que:

- si la tensión de entrada varía entre 0 V y la mitad de Vcc (en este caso, +2,5 V), las entradas sigan interpretando a la señal total como un “0” lógico;
- si la tensión de entrada varía entre la mitad de Vcc y Vcc, las entrada lo interpretarán como un “1”.

Por lo tanto, lo máximo que podemos aspirar es una inmunidad al ruido del 50 % de la tensión de alimentación de mi circuito –o sea, 2,5 V–.

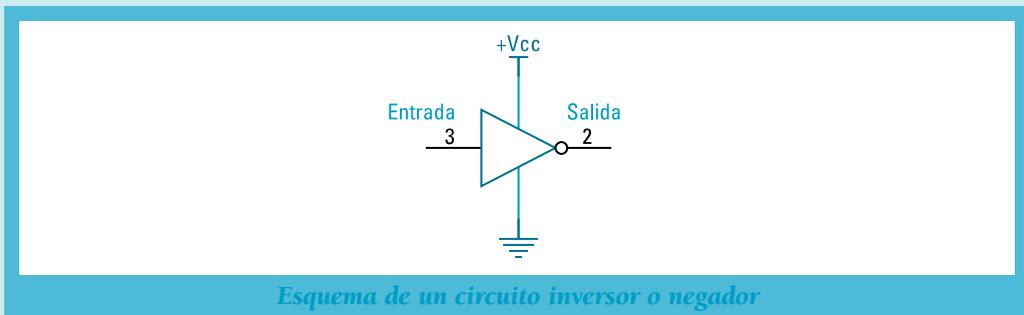


Consideremos un problema específico para este rasgo en particular.

Para esto, analizamos el caso más simple: el de una compuerta inversora que tiene sólo una entrada.

Estamos analizando, junto con los alumnos, cómo puede el ruido eléctrico perjudicar un circuito electrónico digital.

Suponemos, entonces, que tenemos un circuito que realiza la función de negación (inversor).

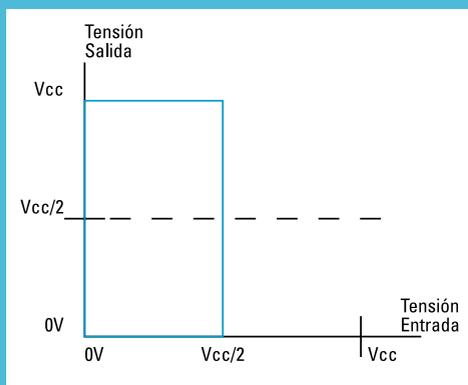


Éste tiene una entrada y una salida tal que, en esta última, siempre debe adoptar el estado lógico opuesto al de la entrada ("0", cuando la entrada está a "1"; y, viceversa).

Los alumnos analizan la función de transferencia ideal para este inversor y desarrollan la siguiente figura; en ella, el circuito está alimentado con una tensión unipolar de $+V_{cc}$:

Entonces, observan:

- Que la tensión de la salida estará a $+V_{cc}$ siempre que la entrada no supere los $+V_{cc}/2$.
- La tensión de la salida estará en 0 V, mientras la tensión de entrada no baje de $+V_{cc}/2$.
- De lo anterior, derivan que existe una transición abrupta entre los valores de 0 V y $+V_{cc}$ en la salida, que se produce cuando la entrada pasa por $+V_{cc}/2$.



Función de transferencia de un inversor ideal

En estas condiciones, el margen de ruido –como analizaban con su profesor– será del 50 % de la tensión de alimentación, a fin de que el estado lógico de la salida no cambie aún en presencia de ruido.

Junto con su profesor, analizan dos gráficas temporales en las que se puede observar la evolución en el tiempo de la entrada y la salida. En el primer caso, la entrada no tiene ruido; en el segundo, a la señal que contiene información se le ha sumado ruido.

Mientras el ruido no haga que toda la tensión aplicada a la entrada supere los $+V_{cc}/2$, la entrada seguirá interpretando dicha señal como un "0" lógico y la salida seguirá siendo "1" lógico; y, viceversa.

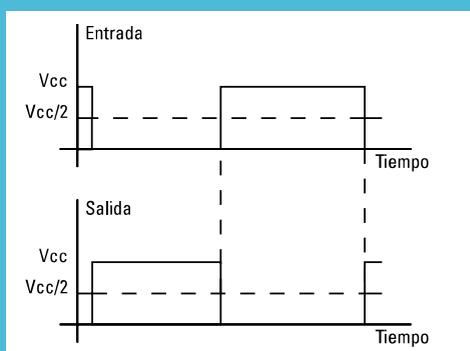
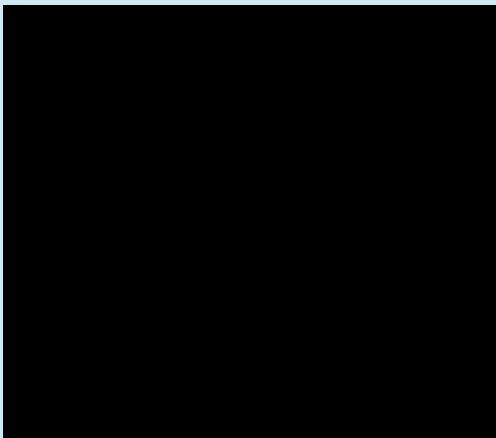


Diagrama de tiempos sin ruido a la entrada



- Consideremos la premisa de la velocidad: Todo dispositivo físico tiene un tiempo de respuesta que no puede ser nulo.

Imaginando sólo un cable de cobre por el cual circula una corriente eléctrica, la

señal que se inyecta en un extremo viaja a una velocidad finita; ésta es muy alta, muy alta, pero siempre insume un tiempo dado en llegar hasta el otro extremo.

Cualquier circuito electrónico emplea-

do para implementar una función lógica, está construido no sólo de cables sino también de semiconductores, los cuales tienen una cierta inercia a res-

ponder en tiempo nulo.

Como conclusión, la hipótesis de tiempo de retardo nulo es inválida.

La evolución de las familias lógicas

En los comienzos de los años '60, aparecen circuitos que implementan algunas funciones lógicas, basándose en el uso de resistencias y de diodos semiconductores. Esto da lugar a lo que se llama **lógica diodo-resistencia** –o, simplemente, lógica de diodo, DL–. Su principal desventaja es que no pueden implementar funciones negadas ni conectar muchas compuertas en cascada, ya que la señal eléctrica se va degradando cada vez más.

Posteriormente, aparece el transistor y, junto con la inclusión de resistencias, se implementan circuitos digitales que dan origen a la familia **lógica resistencia-transistor** –RTL–. Si bien ésta permite, ahora, implementar funciones negadas y no existe ya el problema de degradación de la señal, su velocidad de respuesta es muy pobre.

Esto exige que siga experimentándose con otros tipos de configuraciones circuitales.

En la década de 1970 se desarrollan varias familias de circuitos lógicos digitales que dan origen a una evolución permanente de circuitos que, aún hoy en día, se siguen empleando. Las preponderantes son la **lógica transistor-transistor** –TTL–, la **lógica acopla-**

da por emisor –ECL– y la lógica **MOS² de simetría complementaria** –CMOS–.

La TTL está, básicamente, desarrollada con transistores bipolares del tipo NPN³ con el agregado de diodos y resistencias. La CMOS, en cambio, sólo contiene en sus circuitos transistores MOSFET –transistor de efecto de campo tipo MOS–.

Las ventajas aparentes de esta nueva tecnología CMOS frente a la TTL, son:

- Bajo consumo sin señal.
- Mayor inmunidad al ruido eléctrico.
- Mayor capacidad de carga a la salida para alimentar a otras compuertas.
- Posibilidad de operar con tensiones de alimentación desde 3 V hasta 18 V.

Su principal desventaja:

- Ser mucho más lenta que la TTL.

Al principio, sólo resulta posible implementar funciones simples en cada chip, lo que obliga a fabricar circuitos integrados de funciones específicas; por ejemplo, todo el chip

²MOS –metal óxido semiconductor– es una tecnología de semiconductores que permite implementar un tipo particular de transistores de efecto de campo (FET, *Field Effect Transistor*).

³NPN significa que el transistor está formado por tres materiales semiconductores: dos del tipo N –es un semiconductor que tiene cargas negativas en exceso– y uno del tipo P –tiene cargas positivas en exceso–, formando un “sándwich” entre los dos primeros y el último. De esta manera, se forman dos junturas N-P y P-N donde el material P es común a ambas.

implementa funciones *and* o *nor*, etc. Por lo tanto, para sintetizar un circuito digital dado, es necesario conectar muchos de ellos para obtener los resultados deseados.

A medida que la tecnología electrónica digital sigue avanzando, haciéndose cada vez más compacta, comienza a ser aplicada al diseño

La calidad **compacto** resulta de la introducción de cada vez mayor cantidad de componentes en una misma área de silicio.

de dispositivos complejos, como es el caso de los microprocesadores y de otros dispositivos de alta densidad de integración tales como memorias de estado sólido.

Los primeros dispositivos comerciales que emplean circuitos integrados de alta densidad de integración son las calculadoras, las que dan origen –al comienzo de la década de 1980– al nacimiento de las computadoras comerciales.

Hoy en día, se han alcanzado densidades de integración tan altas, que los circuitos integrados digitales pueden contener varias decenas de millones de transistores en un área de silicio de pocos milímetros cuadrados. Tal es el caso de los microprocesadores que se emplean en las computadoras personales como, por ejemplo, los conocidos Pentium® de *Intel*.

Con la mejora en la tecnología de fabricación de circuitos integrados y con nuevas ideas para desarrollar esquemas de conexionado interno más eficientes, las familias TTL y CMOS van haciéndose cada vez más veloces.

Es así que, de la primitiva TTL, se pasa a nuevas subfamilias (variaciones de la TTL con otros circuitos internos y usando transistores bipolares mejorados). De la inicialmente conocida serie 74, se pasa a la 74L, 74S y, por último, con la inclusión de transistores del tipo Schottky, se comienzan a producir las series 74LS, 74ALS y 74F.

Por el lado de CMOS, de la inicial –la serie 4000– se pasa a la 74HC/HCT y, por último, a la 74AC/ACT.

En la carrera por conseguir la familia más rápida y de menor consumo, gana la CMOS frente a la TTL, ya que, con la mejora en cuanto a la disminución del tamaño con que pueden fabricarse los transistores MOS, se consiguen los beneficios de:

- Mayor velocidad de respuesta.
- Menor consumo.
- Mayor densidad de integración (Para realizar una misma función lógica, CMOS –respecto de TTL– sólo usa transistores y lo hace en menor cantidad).

Este último rasgo es decisivo, ya que permite la implementación de circuitos mucho más complejos que con TTL, en una misma área de silicio; y, además, a una velocidad un poco mayor que la obtenida con la versión más rápida de la subfamilia TTL, la 74F.

La familia lógica acoplada por emisor –ECL–, por su parte, está basada en el uso de transistores bipolares, diodos y resistencias. Resulta mucho más veloz que TTL y CMOS; pero, emplea lógica binaria negativa, además de trabajar con fuentes de alimentación negativas de $-5,2$ V. TTL y CMOS trabajan con

lógica binaria positiva y tensiones de alimentación positivas, TTL emplea fuentes de +5 V y CMOS, fuentes entre +3 V y +18 V.

También existe, en la actualidad, otra familia lógica denominada **BiCMOS** que integra tanto transistores bipolares (de ahí, las siglas Bi) como de efecto de campo (CMOS) para implementar compuertas. Es empleada en ciertas aplicaciones en las que se requiere, principalmente, velocidad pero con gran capacidad de carga a la salida de las compuertas.

Otra tecnología que está siendo utilizada en aplicaciones de muy alta velocidad es la basada en el empleo de transistores de arsenuro de galio (AsGa) en lugar de silicio (Si), como

es el caso de las lógicas ECL, TTL y CMOS.

Con esto se logra una mejora sustancial en cuanto a velocidad de respuesta de los transistores, ya que las velocidades que pueden alcanzar los electrones en este material son superiores que en silicio. Esto se traduce en menores tiempos de conmutación y, por ende, en mayor frecuencia de operación al implementar circuitos digitales. Si bien esto es un gran avance, su elevado costo la hace utilizable sólo en aplicaciones donde ECL no alcanza la velocidad necesaria, como es el caso de los manejadores de láseres semiconductores en aplicaciones de comunicaciones en los que se manejan señales digitales del orden del GHz⁴.



Actividades para el aula 1

Va a resultar útil que sus alumnos:

a. En equipos electrónicos –calculadoras, computadoras personales, etc.– nuevos y viejos (de más de dos décadas, por ejemplo), identifiquen qué circuitos integrados son digitales..

b. Analicen diagramas del tipo esquemático de circuitos, obteniéndolos en Internet, en revistas y/o manuales de aplicaciones electrónicas, a fin de identificar qué chips son digitales.



a. La idea es conseguir aparatos, a fin de analizar chips de variada familia lógica. Por ejemplo: Una PC tipo IBM compatible XT debería tener integrados TTL, mientras que cualquier Pentium sólo contendrá integrados CMOS.

b. Existe una gran cantidad de lugares en Internet que ofrecen esquemas de circuitos electrónicos, tanto analógicos como digitales; uno de ellos es, por

ejemplo, www.pablin.com.ar, en castellano. Por otra parte, revistas tales como la española *Elektor* o *Electrónica & Computadores* son una buena fuente de diagramas. Los manuales de circuitos integrados de las empresas: *Analog Devices*, *Texas Instruments*, *Burr-Brown*, *Philips*, *Motorola*, *National Semiconductors*, etc. suelen contener aplicaciones de los chips que comercializan.

⁴Gigahertz. 1 GHz equivale a mil millones de hertz.

2. LA TECNOLOGÍA CMOS

Existen dos maneras de clasificar a los circuitos integrados (CI) según el tipo de señal que, generalmente, pueden procesar:

- **Circuitos electrónicos analógicos.** Están especialmente diseñados para trabajar con señales analógicas; es decir, con señales de tensión o corriente que pueden tomar cualquier valor posible en un rango dado. Ejemplos de estos circuitos son los amplificadores operacionales, los reguladores de tensión, etc.

- **Circuitos electrónicos digitales.** Son aquellos que se diseñan para poder procesar señales digitales; es decir, señales que, generalmente, tienen un número finito de posibles valores de tensión o corriente. Tal es el caso de los circuitos que trabajan con lógica binaria (sólo dos estados posibles).

La tecnología CMOS ingresa en cualquiera de estas clasificaciones; pero, en este material de capacitación vamos a estudiar la relacionada con la electrónica digital.

¿Qué significa CMOS?

CMOS es la sigla, en inglés, de *Complementary MOS*, que significa MOS complementario.

La palabra MOS, por su parte, es una abreviatura de MOSFET –metal-óxido-semiconductor FET– que se refiere a un tipo de transistor FET –*Field Effect*; transistor de efecto de campo– en el que la compuerta está separada del canal de conducción por una delgada capa de material aislante de metal-óxido.

La palabra *complementario*, finalmente, se atribuye porque se utilizan los dos tipos conocidos

Recordamos que los **transistores de canal N** son aquellos cuya zona de terminales de fuente

de transistores de efecto de campo, de canal N y de canal P.

Los avances tecnológicos de hoy en día buscan fabricar circuitos integrados cada vez más complejos; es decir, aquellos circuitos en los que pueda implementarse una gran cantidad de funciones diferentes. Para ello se han ido perfeccionando, con el correr del tiempo,

–*Drain*– y de sumidero –*Source*– está fabricada de material de silicio con átomos donores (con exceso de electrones libres) y que los **transistores de canal P** son aquellos en los que el material del terminal de compuerta –*Gate*– está fabricado de material de silicio con átomos aceptores (con falta de electrones libres).

técnicas de fabricación de chips de cada vez mayor densidad de integración.

La densidad de integración en circuitos digitales está relacionada directamente con la cantidad de puertas lógicas que se pueden fabricar en un área de silicio dada –generalmente, de pocos milímetros cua-

Se denomina **chip** al conjunto de la oblea de silicio (donde se ha fabricado el circuito electrónico) y el encapsulado (formado, habitualmente, por la carcasa y los pines de interconexión). Esta carcasa suele construirse de material plástico o cerámico aunque, excepcionalmente, puede ser de metal –como es el caso de circuitos osciladores digitales de cristal de cuarzo–.

drados–. Los métodos de fabricación modernos permiten construir chips con un grado de complejidad tal que puede alcanzarse un rango de más de 100.000 compuertas por integrado. Según este grado de complejidad, los circuitos integrados (CI) se pueden clasificar según los siguientes niveles o escalas de integración:

- SSI (pequeña escala), menor de 10 puertas.
- MSI (media escala), entre 10 y 100 puertas.
- LSI (alta escala), entre 100 y 10.000 puertas.
- VLSI (muy alta escala), a partir de 10.000 puertas.

La capacidad de integración depende, fundamentalmente, de dos factores:

- **El área del chip ocupada por cada compuerta.** Ésta está condicionada, a su vez, por el tipo y el número de transistores utilizados para realizarla: Cuanto menor

sea esta área, mayor será la capacidad de integración a gran escala.

- **El consumo de potencia.** En un circuito integrado se implementan muchas compuertas en un espacio reducido de algunos milímetros cuadrados de área. El consumo total del chip es igual al consumo de cada compuerta, multiplicado por el número de compuertas. Si el consumo de cada una de ellas es elevado, se generará mucho calor en el chip, debido al efecto Joule, de tal forma que –si este calor no es disipado correctamente– se puede producir un aumento de temperatura que provoque un funcionamiento errático de los circuitos que integran el chip hasta, incluso, llegar a su destrucción.

Desde sus inicios hasta la actualidad, la tecnología CMOS ha ido evolucionando de tal forma que los sucesivos procesos tecnológicos basados en la utilización de transistores de efecto de campo del tipo MOS (metal-óxido semiconductor) han logrado densidades de integración tan grandes, que hoy es posible desarrollar circuitos extremadamente complejos –como un microprocesador formado por millones de transistores–.

Para tener una idea de este desarrollo, recordemos que el primer microprocesador orientado al uso de computación fue el 8086 de la

Como punto de referencia de comparación, cada transistor es unas 2.000 veces más delgado que un cabello humano.

empresa *Intel*®, lanzado al mercado en 1977 y construido por 29.000 transistores. En 1993 aparece el primer microprocesador *Pentium*, con más de 3.000.000 de transistores. Poco

más de 10 años después, el *Pentium IV* logra una densidad de integración tan alta que es la mayor en la actualidad, con más de 125.000.000 de transistores fabricados en un solo chip. Estas cantidades se han logrado gracias a la posibilidad de crear transistores extremadamente pequeños; en este caso, su tamaño es de unos 50 nm (1 nm –nanometro– equivale a 10^{-9} metros; es decir, a una milésima de micrón).

Una ventaja asociada a la inclusión de tantos transistores dentro de un chip, es que así se pueden conseguir velocidades de trabajo mucho mayores –ya que no hay que salir del

área de silicio– y que se evitan las capacidades parásitas de las pistas de circuito impreso, las que limitan considerablemente la velocidad de respuesta de los dispositivos electrónicos.

En el caso del *Pentium IV*, ya se han alcanzado los 4 GHz de frecuencia de operación interna (1 GHz equivale a mil millones de ciclos por segundo); pero, la frecuencia de trabajo con la cual el microprocesador trabaja con el resto de los circuitos electrónicos asociados en el *motherboard* (placa madre) de la computadora es de algunos cientos de MHz, debido al problema antes mencionado.

Los cambios en CMOS

Los circuitos CMOS son inventados en 1963 en los laboratorios de *Fairchild*®.

Su tecnología es utilizada, inicialmente, en aplicaciones militares y aeroespaciales, debido a su bajo consumo. Su uso comercial no comienza hasta después de 1968 y es la empresa RCA® la que inicia su fabricación y distribución.

Una de las primeras aplicaciones de CMOS para uso comercial es en el diseño de circuitos electrónicos en relojes de pulsera, ya que en ellos se necesita muy bajo consumo de corriente eléctrica y la velocidad está limitada a unos pocos kilohertz (1 kHz equivale a 1.000 hertz) –porque, generalmente, los relojes trabajan con un oscilador de frecuencia inicial de alrededor de 32 kHz–.

La tradicional tecnología CMOS –denominada serie CD4000– trabaja con aluminio como material para implementar las compuertas de

los transistores. Esto posibilita el uso de tensiones de alimentación entre 3 y 18 V. Posteriormente, se pasa a utilizar otro tipo de material: el silicio policristalino.

Por muchos años, los circuitos CMOS se emplean en 5 V, a fin de compatibilizarse con la única tensión de alimentación posible en TTL.

A comienzos de la década del '90, debido a que se necesita disponer de dispositivos cada vez más rápidos –a fin de que no se exceda la

TTL abrevia la expresión *Transistor-Transistor Logic* –lógica transistor-transistor– que define otra tecnología de fabricación de circuitos electrónicos digitales que se empleó antes que CMOS y que fue la base de la lógica digital por muchos años. Actualmente, TTL ha sido desplazada por los nuevos dispositivos de alta velocidad CMOS.

disipación de potencia al aumentar la frecuencia de trabajo—, es necesario trabajar con menor tensión de operación. Hoy en día tenemos circuitos integrados que están operando con tensiones de alrededor de 1 V.

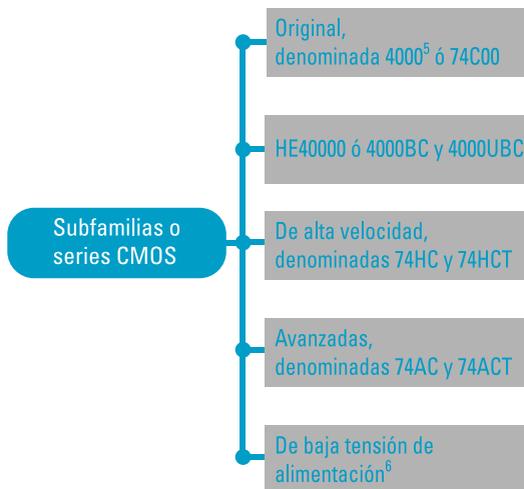
Para ahondar en TTL, le recomendamos leer:

- Noriega, Sergio (2005) *Familia TTL*. Instituto Nacional de Educación Tecnológica. Buenos Aires.

Este libro está disponible en www.inet.edu.ar.

A diferencia de la tecnología TTL, CMOS siempre mantiene —salvo excepciones que detallamos más adelante— la misma estructura de transistores para la implementación de compuertas lógicas, tales como inversores, *nand*, *and*, *or*, *nor*, etc. Los que sí han ido variando desde fines de la década del '70 hasta hoy son los procesos de fabricación de los circuitos integrados CMOS.

Es por eso que, haciendo un poco de historia, tenemos la siguiente secuencia de series CMOS:



Si bien, inicialmente, CMOS no puede competir con la popular tecnología TTL, los fabricantes de circuitos integrados empiezan a incorporar esta tecnología muy lentamente en el mercado internacional, debido a las siguientes características —que profundizamos en las próximas páginas—:

- Muy bajo consumo con señal estática.
- Amplio rango de tensiones de alimentación.
- Alta inmunidad al ruido.
- Alta capacidad de carga.
- Gran densidad de integración.

Esto da a los diseñadores de circuitos digitales otra opción a la ya conocida *performance* que brindaba la lógica TTL, cuyo mayor logro —en ese entonces— es la alta velocidad de respuesta de los circuitos integrados. En cambio, CMOS dista mucho de ser una tecnología veloz; la velocidad que se puede conseguir en las series originales es unas diez veces menor.

Sin embargo, empieza a tener cabida en aquellas aplicaciones en las que se necesita muy bajo consumo de corriente eléctrica y en las que la velocidad de respuesta no es un requerimiento importante; esto es, donde es posible trabajar a frecuencias de señal por debajo de los 10 MHz (1MHz equivale a un

⁵La denominación 4000 se refiere a una serie de dispositivos cuyo número de identificación de la función que realiza el chip empieza con el número 4000. Se tiene así, por ejemplo: el 4001 que implementa funciones *nor* de 2 entradas, el 4011 que implementa funciones *nand*, etc.

⁶Es importante aclarar que, dependiendo del origen de la bibliografía, es posible encontrar diferentes denominaciones en las distintas subfamilias de circuitos integrados digitales. Cada fabricante trata de diferenciarse del resto haciendo cambios en las siglas que identifican el tipo de tecnología de que se trata. En los dispositivos CMOS de alta velocidad, por ejemplo, podemos encontrar siglas como MM74HC —dada por la empresa Motorola®, ahora ON Semi®— o 74HC —dada por la empresa Fairchild®—.

millón de hertz o ciclos por segundo). Porque, los circuitos basados en la tecnología TTL resultan rápidos pero consumen mucha corriente. Por ejemplo: a un solo inversor de los 6 que tiene el chip 7404 se le debe suministrar una corriente de poco más de 1 miliampere (1 mA equivale a una milésima de ampere), mientras que a uno similar en CMOS del chip CD4009, sólo algunas decenas de nanoampere (1 nA equivale a una milésima de millonésima de ampere).

Por otro lado, la posibilidad de alimentar a estos circuitos integrados con tensiones de alimentación entre 3 V y 18 V, frente a los rígidos 5 V de TTL, permite aumentar aún más el campo de aplicaciones.

Sumado a lo dicho sobre el bajo consumo, era posible, por ejemplo, emplear fuentes portátiles tales como baterías de 9 y de 12 V.

Otro punto a favor de CMOS es el margen de ruido, variable en la que puede casi cuadru-

plicar el nivel conseguido en TTL, a igual valor en la tensión de alimentación.

Idealmente, vimos que lo mejor que se puede esperar es una inmunidad al ruido del 50 % de la tensión de alimentación de una compuerta dada. CMOS se acerca más que TTL a esa consigna, ya que alcanza, al menos, el 30 % de la tensión de fuente.

Como ejemplo citemos que, haciendo comparaciones absolutas, con 5 V de tensión de alimentación, CMOS tiene un valor en tensión de margen de ruido de 1,5 V, mientras que TTL tiene 0,4 V.

El **margen de ruido** es una característica de las familias lógicas. Nos habla de la habilidad que tiene una compuerta lógica dada para funcionar correctamente, aún en presencia de ruido. Cuanto mayor sea este margen, mejor es la inmunidad que esa compuerta tiene.

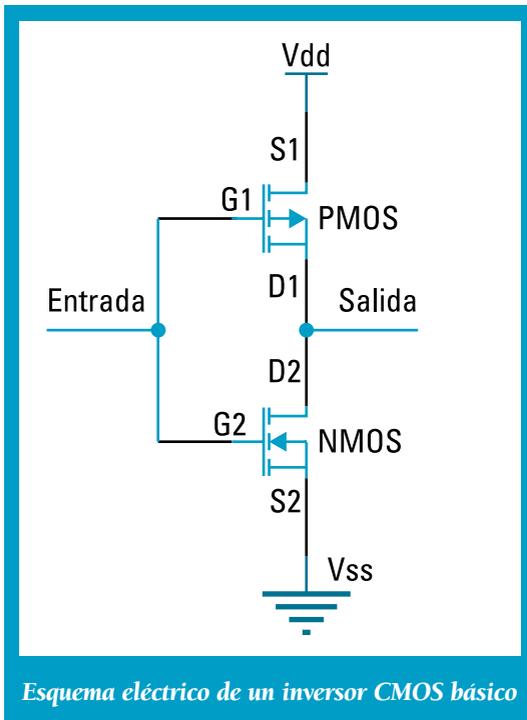
Análisis de las características eléctricas de dispositivos CMOS estándar



A fin de realizar un análisis de las propiedades eléctricas más sobresalientes de un dispositivo CMOS, estudiamos el caso de una compuerta inversora; porque, a partir de este análisis, va a resultar muy fácil entender cómo trabajan otros tipos de compuertas.

1. EL INVERSOR CMOS

En la figura⁷ vemos el circuito esquemático de inversor implementado con tecnología CMOS.



Como usted puede apreciar, el circuito es muy sencillo y consta de dos transistores MOS:

- uno de canal P o PMOS y
- otro de canal N o NMOS.

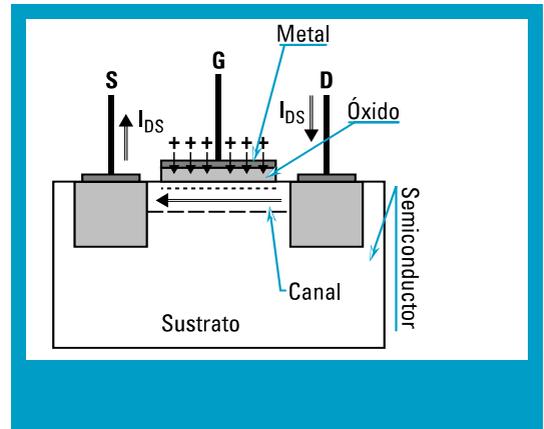
⁷Usted va a advertir que, en las figuras usamos el símbolo electrónico Vdd cuando correspondería la nomenclatura V_{DD} . La razón es que los programas de edición de símbolos electrónicos no permiten la inclusión de subíndices. Considere usted, entonces, que V_{DD} y Vdd son equivalentes.

Éstos se conectan en serie entre el terminal de alimentación más positivo, generalmente, denominado V_{DD} (unido al terminal *Source* -fuente- del PMOS, S1) y el terminal de alimentación más negativo, denominado VSS (unido al terminal *Source* -fuente- del NMOS, S2).

La entrada está formada por la unión de las compuertas -*Gates*- de ambos transistores, designadas como G1 y G2.

La salida se toma del punto medio; es decir, de la unión de los terminales *Drain* -drenador- designados como D1 y D2, para el PMOS y NMOS, respectivamente.

El principio de funcionamiento de un transistor de efecto de campo tipo MOS se basa en la aplicación de una tensión entre los terminales de *Gate* (G) y *Source* (S), a fin de lograr la conducción de corriente entre los terminales de *Drain* (D) y *Source* (S).



Entre el material del sustrato de silicio y la compuerta de metal existe un aislante que, generalmente, es óxido de silicio. Se forma, así, un capacitor entre la compuerta y la zona comprendida entre los terminales D y S.

De esta manera, para el NMOS, cuando se aplica tensión entre G y S con la polaridad apropiada, por efecto capacitivo, se proveen cargas eléctricas en la zona comprendida entre los terminales de D y S; se crea, así, un canal de conducción eléctrica donde los portadores eléctricos que circulan por este canal son electrones.

En la figura se puede observar el caso de un transistor NMOS donde se aplica tensión positiva (G más positiva que S) en la compuerta G.

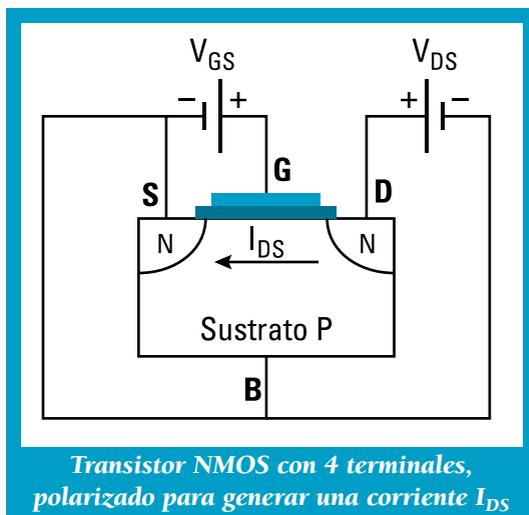
Las cargas positivas (indicadas con el símbolo “+”) inducen, por efecto capacitivo, cargas negativas (símbolo “-“).

Si, además, se alimenta con tensión al circuito de D y S, a partir de un determinado valor de tensión V_{GS} , comienza a circular una corriente entre D y S, I_{DS} .

Este valor de tensión entre G y S –que hace comenzar la conducción de un transistor MOS– se denomina **tensión umbral**. Tiene varias designaciones; una de ellas es V_{TH} ⁸; o, simplemente, V_T .

En la siguiente figura vemos el mismo transistor NMOS pero con el agregado de un terminal adicional (indicado como “B”) que, para los efectos prácticos, no influye en el comportamiento eléctrico del transistor. Su utilidad es la de disminuir los efectos que genera la formación de diodos parásitos en la zona de la oblea de silicio donde se construye el transistor. Este cuarto terminal es el indicado en el símbolo de los transistores MOS con la flechita saliendo (en el caso del PMOS) o entrando (para el NMOS) del terminal de la compuerta.

⁸TH es la abreviatura de *Threshold*, umbral



Transistor NMOS con 4 terminales, polarizado para generar una corriente I_{DS}

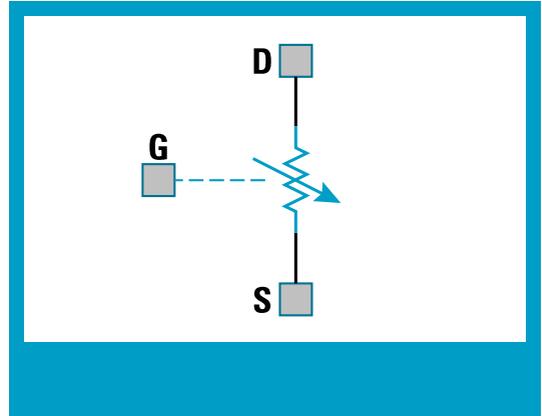
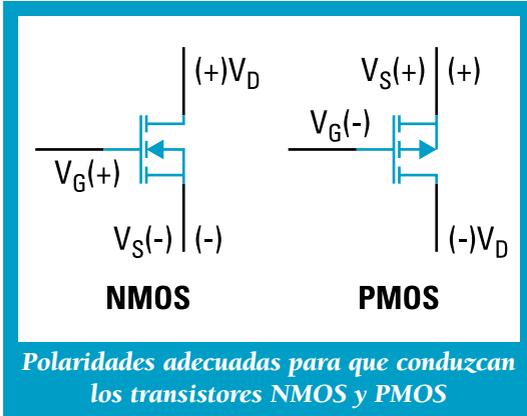
El mismo análisis se puede hacer para un transistor PMOS.

Su construcción es, básicamente, similar a la del NMOS, excepto que el sustrato es del tipo N y, cuando se lo polariza correctamente, forma un canal entre los terminales D y S donde circulan cargas positivas (huecos) y no electrones –como en el caso del NMOS–.

Otra diferencia es la constructiva. Ambos transistores tienen distinto tamaño de longitud y ancho del canal de conducción. Esto se debe a que es necesario compensar las diferencias eléctricas entre ellos, a fin de lograr los mismos tiempos de conmutación.

Las polaridades de las fuentes de alimentación V_{GS} y V_{DS} que se necesitan para que el PMOS entre en conducción, deben ser opuestas al caso NMOS.

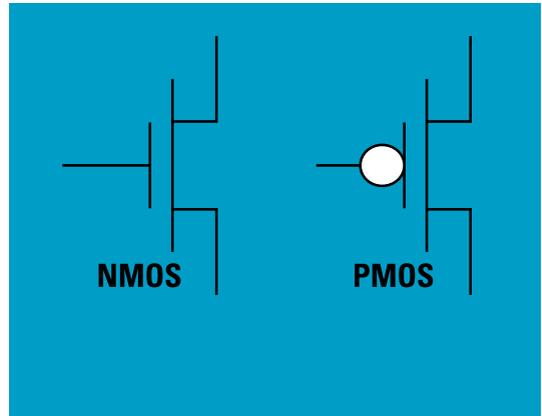
Como resumen, en la siguiente figura se muestran las polaridades que deberían tener ambos transistores para que conduzcan electricidad:



Dependiendo de los valores de V_{GS} y V_{DS} aplicados, es posible que los transistores trabajen en tres zonas de funcionamiento perfectamente definidas:

Dependiendo de la bibliografía y del fabricante, los transistores NMOS y PMOS pueden aparecer dibujados de diferentes maneras:

- **Zona de corte.** Cuando la tensión V_{GS} no ha superado cierto valor de tensión, denominada tensión de umbral V_T . En este caso, idealmente, no fluye corriente entre D y S.
- **Zona de triodo.** En esta zona, cuando la tensión entre los bornes D y S es menor a la diferencia $V_{GS} - V_T$ ($V_{DS} < [V_{GS} - V_T]$), la corriente I_{DS} varía proporcionalmente con V_{DS} . Esto significa que $I_{DS} = K V_{DS}$ (donde K es una constante) y que el MOS se comporta como si fuera una resistencia eléctrica.
- **Zona de saturación.** Se trabaja en esta zona cuando se cumple que $V_{DS} > (V_{GS} - V_T)$. En este caso, la corriente I_{DS} ya no responde a V_{DS} y se mantiene constante. Se puede considerar que el MOS trabaja como un generador de corriente constante.



Volviendo al circuito del inversor CMOS, tenemos que los terminales de compuerta de ambos transistores están unidos.

La tensión de comando para definir cómo se va a comportar cada uno de ellos es la tensión aplicada V_{GS} .

Para estudiar cómo funciona este inversor, vamos a aplicar dos niveles de tensión:

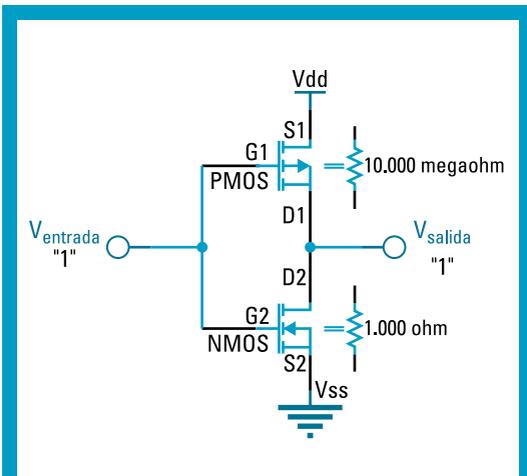
- V_{DD} (equivalente a un nivel lógico alto o “1”) y
- V_{SS} (equivalente a un nivel bajo o “0”).

Caso 1. Tensión de entrada a V_{DD} . Aquí tenemos que la tensión V_{GS} del NMOS será positiva e igual a V_{DD} , por lo que hará conducir a él, presentando una resistencia relativamente baja de unos 1.000 ohm. En cambio, la tensión V_{GS} del PMOS será nula, ya que ambos terminales G y S están al mismo potencial.

En estas condiciones, el PMOS queda cortado y presenta una resistencia muy grande, del orden de 10^{10} ohm (10.000 M Ω).

Entonces, el circuito equivalente de salida del inversor CMOS es el de una serie de dos resistencias: una de muy alto valor y otra de valor relativo a la anterior muy bajo.

La salida de este circuito es el punto medio entre las dos R, de tal forma que la tensión a la salida es cercana a 0 V.



Funcionamiento del inversor CMOS con entrada en nivel alto o “1” lógico

Con cierta aproximación, podemos decir que, en estas condiciones, la tensión de salida está dada por el divisor resistivo R_{NMOS} y R_{PMOS} :

$$V_{salida} = V_{DD} \cdot \frac{R_{NMOS}}{R_{NMOS} + R_{PMOS}}$$

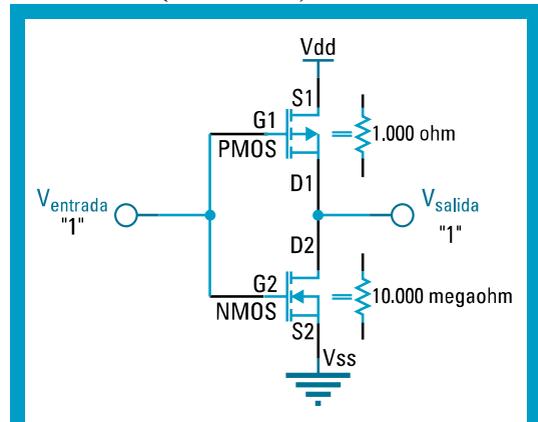
En este caso, tenemos que idealmente V_{salida} es, para el caso, de $V_{DD} = 10$ V:

$$V_{salida} = VO_L$$

$$V_{salida} = 1 \mu V \text{ (un microvolt).}$$

Caso 2. Tensión de entrada a V_{SS} . En esta condición, tenemos el resultado opuesto al anteriormente analizado. La tensión V_{GS} del PMOS es negativa (el terminal de *Source* más positivo que el de *Gate*) e igual a V_{DD} , por lo que hace conducir a él, presentando una resistencia relativamente baja de unos 1.000 ohm. En cambio, la tensión V_{GS} del NMOS es nula, ya que ambos terminales G y S están al mismo potencial, que es de “tierra” o “masa”, V_{SS} .

En estas condiciones, el NMOS queda cortado y presenta una resistencia muy grande, del orden de 10^{10} ohm (10.000 M Ω).



Funcionamiento del inversor CMOS con entrada en nivel bajo o “0” lógico

De esta manera, tenemos que el circuito de salida del inversor se asemeja a dos resistencias en serie: una de muy bajo valor, conectada a V_{DD} , y otra de muy alto valor, conectada a V_{SS} .

La salida que se toma del punto medio, tiene un valor muy cercano a V_{DD} , lo que representa un nivel lógico alto o “1”.

Retomando la ecuación anterior, para este caso el valor de salida es, para $V_{DD} = 10\text{ V}$:

$$V_{\text{salida}} = V_{O_H}$$

$$V_{\text{salida}} = 9,999999\text{ V}$$

Como conclusión, este circuito se comporta como una compuerta inversora⁹.

Los valores que hemos obtenido para V_{salida} en estado alto y bajo, respectivamente, son, en general, algo diferentes. Porque, en nuestro análisis anterior hemos descartado ciertos efectos adicionales. En la realidad, los valores de V_{O_H} y V_{O_L} son un 1 % inferior a V_{DD} y un 1 % superior a V_{SS} , respectivamente. Esto es, para $V_{DD} = 5\text{ V}$, en general tenemos que $V_{O_H} = 0,05\text{ V}$ y $V_{O_L} = 4,95\text{ V}$.

2. DISEÑO DE OTRAS COMPUERTAS

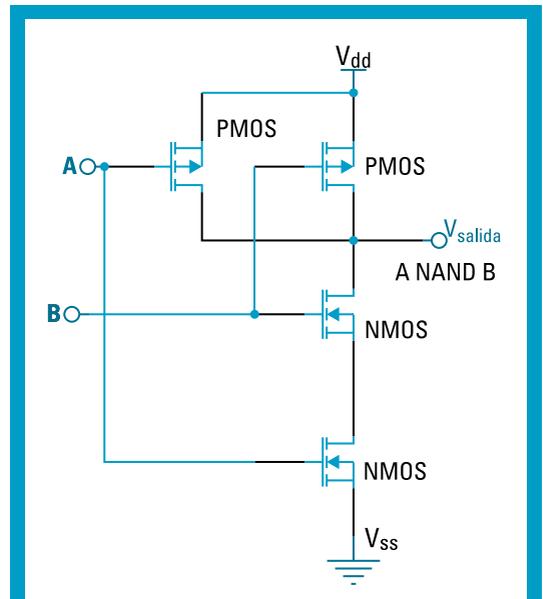
En CMOS –como es de esperar– no sólo existen chips que implementan compuertas del tipo inversor sino también del tipo *nand*, *and*, *nor* y *or*, entre otras, a partir de las cuales es posible diseñar dispositivos más complejos

como flip-flops, contadores, multiplexores, decodificadores, etc.

Compuerta *nand*. La compuerta *nand* –como usted sabe– es aquella en la que la única manera de hacer que la salida vaya a un nivel lógico bajo es cuando todas sus entradas están en el nivel lógico alto.

Su tabla de verdad es:

A	B	Salida
0	0	1
0	1	1
1	0	1
1	1	0



Compuerta *nand* básica de 2 entradas, en tecnología CMOS

En este circuito se puede observar que hay dos transistores PMOS y dos transistores NMOS. Cada entrada está conectada a un par PMOS-NMOS por sus terminales de compuerta.

⁹Es importante aclarar que los transistores que se dicen “cortados”, en realidad, conducen corriente (debido a fugas internas); pero, ésta es de un valor muy pequeño, del orden de algunas decenas de pA (1 pA –picoampere– equivale a 10^{-12} A).

Los dos transistores PMOS se encuentran conectados entre sí en paralelo, uniendo los terminales S por un lado y los terminales Dn por el otro.

En cambio, los dos transistores NMOS están conectados en serie.

Si dibujamos una línea horizontal a la altura del terminal de salida, podemos dividir el circuito en dos ramas:

- una superior, formada por los transistores PMOS, y
- una inferior, formada por los transistores NMOS.

Para analizar el circuito tenemos que recordar cómo funciona el inversor que acabamos de describir.

Cada transistor PMOS se puede activar (hacer entrar en conducción) sólo cuando su tensión de compuerta está a un potencial cercano a V_{SS} –caso contrario, si está a V_{DD} , prácticamente no conduce corriente–.

Por otro lado, cada transistor NMOS puede estar activo sólo cuando su tensión de compuerta está a un potencial cercano a V_{DD} .

De esta manera, como nosotros queremos que sólo cuando ambas entradas estén en “1” la salida vaya al estado bajo, debemos poner los transistores NMOS en serie.

Así, con sus tensiones de compuerta en “1”, ambos conducen y presentan un camino de baja resistencia entre la salida y el terminal de tierra V_{SS} .

El “1” lógico se logra con cualquiera de los transistores PMOS que entre en conducción. Para ello basta con poner una entrada –o ambas– a potencial V_{SS} , es decir, a nivel bajo.

El efecto es que habrá un camino de baja resistencia entre el terminal positivo de alimentación V_{DD} y la salida.

¿Cómo se puede implementar una *nand* de más entradas?

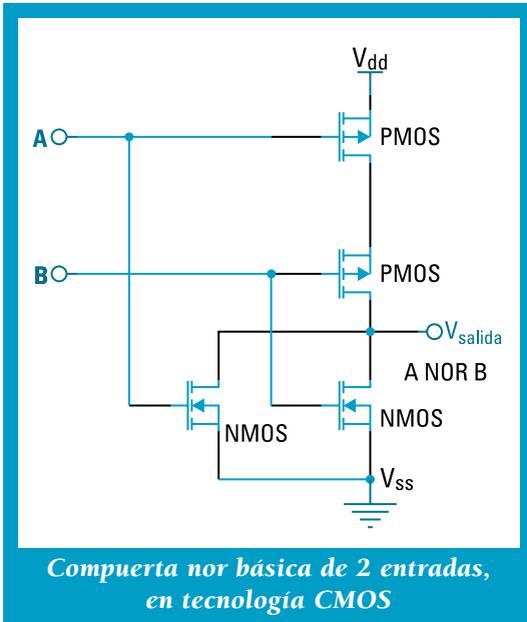
Siguiendo la misma idea que antes, basta con:

- Agregar más transistores PMOS en paralelo.
- Agregar más transistores NMOS en serie.
- Formar la nueva entrada con la unión entre las compuertas del par nuevo PMOS-NMOS.

Esto tiene un límite, a causa de un problema tecnológico de fabricación de las compuertas: No se pueden poner muchos transistores apilados en serie, ya que se forman diodos parásitos que pueden comprometer el buen funcionamiento del circuito.

Generalmente, los dispositivos CMOS no apilan más de 4 transistores en serie, lo que quiere decir que las compuertas que se consiguen son de hasta 4 entradas.

Compuerta *nor* básica. Una compuerta *nor* es aquella en la que la salida está en nivel bajo, siempre que haya al menos una entrada en nivel alto. Sólo está en nivel alto cuando todas las entradas están en el nivel lógico bajo.



Su tabla de verdad es, entonces:

A	B	Salida
0	0	1
0	1	0
1	0	0
1	1	0

Como antes, tenemos que la salida debe ir a nivel lógico bajo en cualquier caso en que haya una entrada en alto.

Esto implica, entonces, que los transistores NMOS deben estar en paralelo; así, cuando una compuerta cualquiera se lleva a V_{DD} , el transistor entra en conducción.

Por el contrario, los transistores PMOS deben ser apilados (conectados en serie), ya que así la única forma de que haya un “1” en la salida es cuando todas las compuertas de los PMOS están conectadas al terminal V_{SS} .

Si comparamos este circuito con el anterior, podemos observar que son complementarios: en un caso están los PMOS en serie y los NMOS en paralelo, y, en el otro circuito, al revés.

Otra vez podemos observar que, si trazamos una línea horizontal imaginaria a la altura del terminal de salida, nos encontramos con dos zonas: una superior y otra inferior, formadas por cada tipo de transistores PMOS y NMOS, respectivamente.

Repitiendo la pregunta acerca de cómo podemos obtener una compuerta *nor* de más entradas, la respuesta es:

- Agregar más transistores PMOS en paralelo.
- Agregar más transistores NMOS en serie.
- Formar la nueva entrada con la unión entre las compuertas del par nuevo PMOS-NMOS.

Compuerta or. Una compuerta que implementa la función or es aquella en la que la salida vale “1” lógico, siempre que al menos una de las entradas esté a “1” lógico.

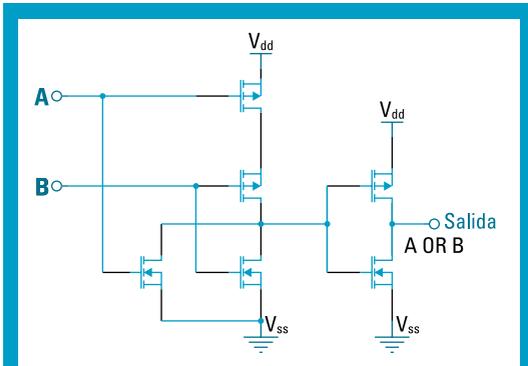
A	B	Salida
0	0	0
0	1	1
1	0	1
1	1	1

Existen varias formas de implementar una *or* con CMOS, según la serie de que se trate. Vamos a detenernos en ellas en otros títulos de este material de capacitación; por ahora, digamos que los dos métodos más empleados están basados en:

- Usar un negador a la salida de una *nor*.

- Usar una compuerta *nand* con inversores en sus entradas.

El primer caso es el más sencillo ya que, si se niega una función *nor*, se obtiene la *or*.

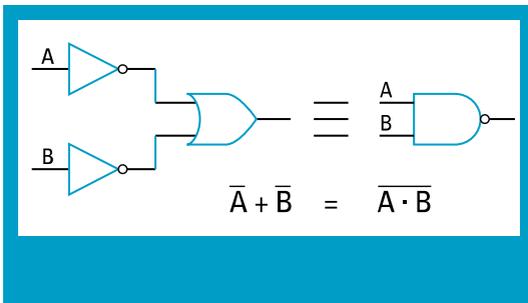


Compuerta or básica de 2 entradas, implementada sobre la base de una nor y de un inversor

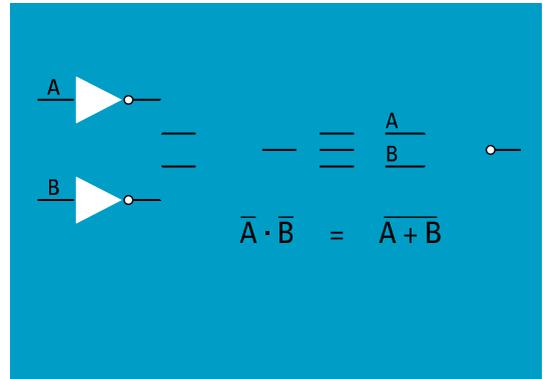
El segundo caso, es un poco más complejo. Se basa en aplicar un teorema muy conocido del álgebra de Boole denominado *Teorema de De Morgan*. Este teorema dice que las siguientes ecuaciones lógicas son equivalentes, es decir, que realizan la misma función aunque se describen de manera diferente.

A continuación, presentamos estas identidades para el caso de funciones lógicas de dos variables; pero, fácilmente, se pueden extender al caso de más variables agregando más términos:

$$1) \overline{A + B} = \overline{A} \cdot \overline{B}$$



$$2) \overline{A} \cdot \overline{B} = \overline{A + B}$$

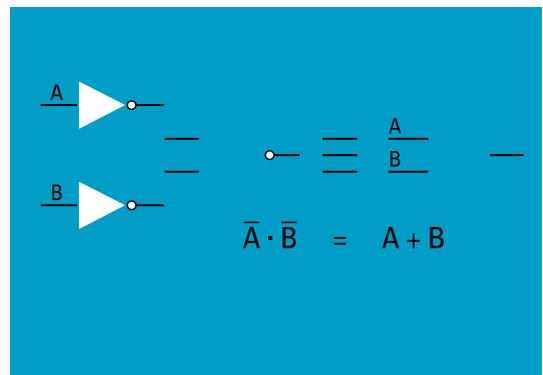


La primera ecuación indica que negar por separado a las variables A y B, y luego hacer una *or* (operación "+") entre ellas es lo mismo que hacer primero la *and* (operación ".") entre dichas variables y, luego, negar el resultado.

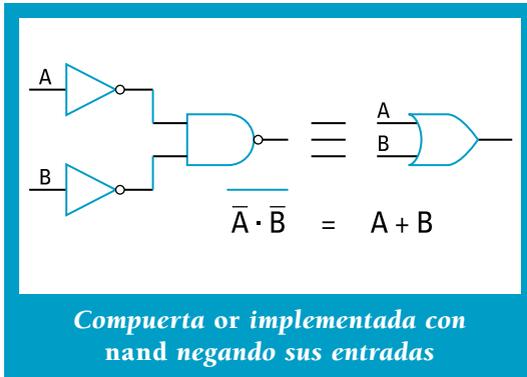
La segunda ecuación indica que negar por separado a dichas variables y, luego, hacer la *and* (operación ".") entre ellas es lo mismo que hacer primero la *or* (operación "+") entre dichas variables y, luego, negar el resultado.

Si, ahora, negamos cada una de las igualdades anteriores (por lo tanto, la igualdad no se va a ver afectada), obtenemos las siguientes identidades:

$$3) \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}}$$



$$4) \overline{\overline{A} \cdot \overline{B}} = A + B$$



Aquí, para obtener una *or* se necesita una compuerta *nand* a la cual hay que negar las entradas.

Compuerta *and*. Una función *and* es aquella en la que la única manera de que la salida valga “1” lógico es cuando todas las entradas valgan “1”.

A	B	Salida
0	0	0
0	1	0
1	0	0
1	1	1

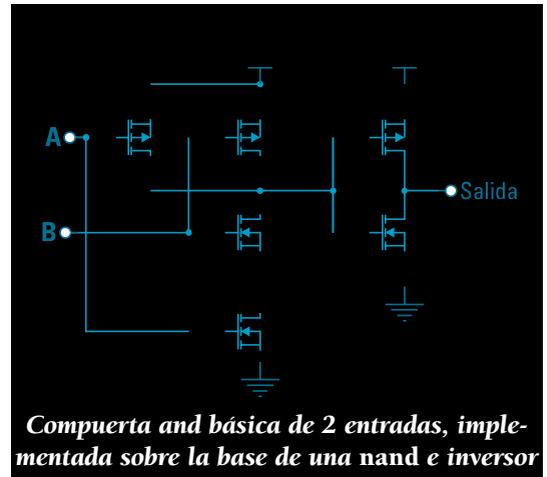
De manera análoga al caso de compuerta *or*, existen varias formas de implementar una *and* con CMOS que dependen, también, de la

serie de que se trate.

Los dos métodos más empleados están basados en:

- Usar un negador a la salida de una *nand*.
- Usar una compuerta *nor* con inversores en sus entradas.

Para el primer caso, se niega una función *nand* a fin de obtener una *and*:



La segunda opción es volver a aplicar el teorema de De Morgan. Basta con negar las entradas de una *nor* para obtener la *and*. Usamos, para ello, la identidad 3.

← Actividades para el aula 2.1

a. Sus alumnos pueden localizar en Internet –en las páginas web que sugerimos en la bibliografía–, las hojas de datos de los circuitos integrados que realicen las siguientes funciones:

- *nor* de 2, 3 y 4 entradas.
- *or* de 2, 3 y 4 entradas.
- *nand* de 2, 3 y 4 entradas.
- *and* de 2, 3 y 4 entradas.
- Inversor.
- No inversor.

b. De las hojas de datos de los circuitos encontrados, usted puede sugerirles analizar los circuitos esquemáticos y

verificar que cumplen con las funciones lógicas que se indican.

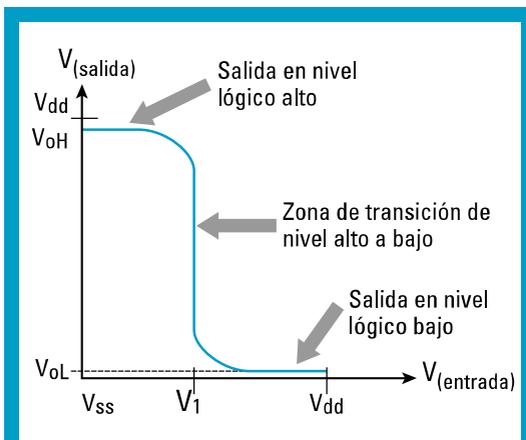


3. FUNCIÓN DE TRANSFERENCIA DE UNA COMPUERTA CMOS

Hemos mencionado que una compuerta ideal debería tener un margen de ruido –en el mejor de los casos– del 50 % de la tensión de excursión de la salida.

Consideramos que, por ejemplo, para el caso de un inversor, es necesario tener una función de transferencia –es decir, la curva de la tensión de salida en función de la de entrada– en la que el valor de tensión de entrada (denominada, aquí, V_I) para lograr el cambio de un estado a otro en la salida sea la mitad de la tensión de alimentación, es decir, en $V_{DD}/2$.

En el caso de CMOS, la curva se parece bastante a la ideal.



Función de transferencia de un inversor CMOS básico

La figura muestra una aproximación a la curva verdadera; en ella podemos apreciar que la salida es bastante constante para valores de la tensión de entrada próximos a V_{DD} o a V_{SS} .

Las conclusiones son las siguientes:

- El nivel en alto en vacío V_{OH} (sin cargar al inversor) es de, aproximadamente, 4,95 V, en lugar de 5 V.
- El nivel en bajo en vacío V_{OL} (sin cargar al inversor) es de, aproximadamente, 0,05 V, en lugar de 0 V.
- La tensión de entrada para la cual se produce la transición de nivel de tensión de la salida V_I se registra, aproximadamente, en la mitad de la tensión V_{DD} .

4. CARGABILIDAD

La cargabilidad es un factor de mérito que nos habla de la capacidad de corriente que tiene la salida de una compuerta dada, cuando ésta es cargada.

Lo ideal es que, cuando la salida está en un estado definido (alto o bajo), la tensión de la salida no varíe, aún cuando se le vayan conectado cargas eléctricas.

Estas cargas son, en general, las impedancias de entrada de otras compuertas.

Si a un inversor se le conecta una entrada proveniente de otra compuerta, como ésta tiene una determinada impedancia de entrada, exigirá al inversor que le entregue corriente.

Si, ahora, conectamos otras dos cargas más, el inversor debe entregar el triple de corriente que para una sola (consideramos, aquí, que todas las cargas son iguales).

Si volvemos, por un instante, al análisis que hicimos respecto del funcionamiento del inversor, vemos que, por ejemplo, cuando la salida está en nivel alto, éste se comporta como si tuviera dos resistencias: la superior de muy bajo valor y la inferior todo lo contrario (casi un circuito abierto). Entonces, la tensión de salida es muy cercana a V_{DD} , debido al divisor resistivo que se forma (Realizamos este análisis considerando que el inversor está en vacío; es decir, sin carga alguna conectada a la salida).

Si, ahora, comenzamos a conectarle entradas de compuertas CMOS, la impedancia total que se ve entre la salida del inversor y tierra (V_{SS}), es el paralelo de la propia resistencia del transistor NMOS y cada una de las impedancias de entrada de las compuertas que se conecten.

A medida que incluimos más entradas, menor es la impedancia total que se ve entre la salida y V_{SS} ; y, como la tensión de salida está relacionada –como ya vimos– con los valores de la $R_{superior}$ y la $R_{inferior}$, en tales condiciones, la tensión de salida comienza a disminuir.

Este rasgo es muy crítico en la tecnología TTL; pero, aquí no lo

► Posibilita que, en ciertos casos, se

es tanto, ya que la impedancia de carga que puede presentar una compuerta CMOS es muy elevada.

emplee menor cantidad de componentes, al poder cargar la salida de una compuerta con más unidades lógicas de entrada.

Para el caso de funcionamiento en continua (donde las señales que se presentan a las entradas de una compuerta no varían), se puede decir que la corriente de entrada de una entrada CMOS es de 10 pA (1 picoamperere son 10^{-12} A). Esto, con 10 V aplicados a esa entrada, da una resistencia de entrada de $10^{12} \Omega$; es decir, 1.000 G Ω o 1.000.000 de M Ω (un millón de millones).

Ésta es la razón por la cual, en régimen estático de funcionamiento (reposo), por más que se cargue a una salida CMOS con otras compuertas del mismo tipo, prácticamente no se afecta el nivel de tensión de su salida.

La serie original 4000 cuenta con las siguientes características de tensiones y corriente, tanto de entrada como de salida:

Serie 4000			
Entrada		Salida	
V_{IL} max	1,5 V	V_{OL} max	0,4 V
V_{IH} min	3,5 V	V_{OH} min	4,6 V
I_{IL} max	-0,01 μ A	I_{OL} max	0,51 mA
I_{IH} max	0,01 μ A	I_{OH} max	-0,51 mA

Como usted puede observar, la corriente de entrada es de un valor máximo de 10 pA, mientras que la de salida es de poco más de 0,5 mA.

Si hacemos el cociente entre la corriente de salida que una salida puede proveer y la

corriente de entrada que consume una entrada, podemos tener una idea del número de compuertas CMOS que se puede conectar a otra de la misma tecnología.

El número que obtenemos es de 51.000.

Este número está mas allá de los valores prácticos usuales.

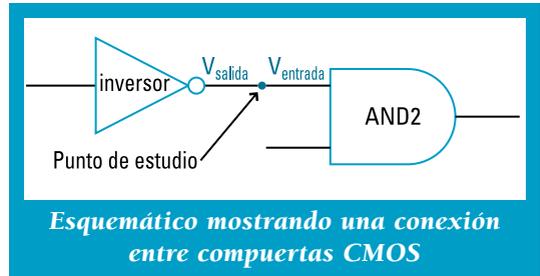
La limitación real del número de compuertas CMOS que se pueden conectar a otra –también de tecnología CMOS– depende del funcionamiento dinámico del conjunto; esto es, cuando aplicamos señales que varían en el tiempo a relativa alta frecuencia de operación.

5. INMUNIDAD AL RUIDO

Analícemos con un ejemplo qué es lo que pasa en la salida de una compuerta cuando se la carga con otra. Para el ejemplo tenemos que a un inversor hay que conectarle una compuerta *and*.

Se trata de un análisis donde se requiere emplear una tecnología que sea capaz de poder transmitir señales lógicas (binarias) de un equipo a otro, con cables de por medio en los que es posible que se induzcan señales espurias a consecuencia del ruido eléctrico proveniente, por ejemplo, de un motor de corriente continua cercano a dichos circuitos.

En la siguiente figura¹⁰ vemos un esquema de lo planteado.

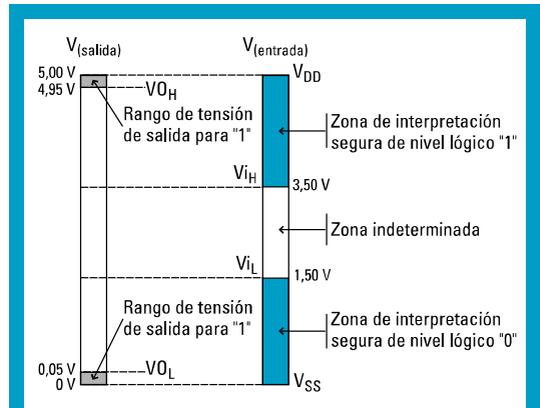


La siguiente figura hace un resumen de los niveles de tensión admisibles y prohibidos entre una salida CMOS y las entradas provenientes de otros dispositivos similares que están conectadas a ella. Se representan, allí, los diferentes valores de tensión que tendrían dos compuertas que se interconectan entre sí.

El diagrama de tensiones de la izquierda representa los distintos niveles de tensión que la salida de una de las compuertas puede tener en ambos niveles lógicos de funcionamiento.

Para el nivel lógico alto, la salida varía, generalmente, entre casi 5,00 V y 4,95 V, como mínimo.

Para el nivel lógico bajo, suele encontrarse comprendida entre 0 V y 0,05 V, como máximo.



¹⁰Para poder ejemplificar este análisis, consideramos que las compuertas en estudio están alimentadas con una tensión V_{DD} de 5 V.

En el diagrama de tensiones de la derecha se representan los distintos niveles de tensión que la entrada de la otra compuerta considerada como válidos para interpretar un nivel alto o bajo.

La zona superior, indicada como “Zona de interpretación segura de nivel lógico “1””, delimita el rango de niveles de tensión en el que la entrada puede interpretar correctamente un “1” lógico. Esta zona abarca desde los 3,50 V hasta los 5,00 V.

La zona inferior, indicada como “Zona de interpretación segura de nivel lógico “0””, de igual manera, define el rango de niveles de tensión en el que la entrada puede interpretar correctamente un “0” lógico. Esta zona está comprendida entre los valores de 0 V hasta los 1,50 V.

Todo nivel de tensión comprendido en la banda de 1,5 V a los 3,5 V, se considera un valor no aceptado por la entrada; es decir, la entrada no puede decidir correctamente si el nivel lógico debe ser interpretado como un “1” o un “0”.

Nunca se deben aplicar valores de tensión que estén comprendidos entre estos valores.

Los márgenes de ruido que se definen para cada uno de los niveles lógicos son: mar-

gen de ruido en alto y margen de ruido en bajo.

- **Margen de ruido en alto.** Es el valor en tensión de ruido que podría sumarse a la señal que entra a la compuerta en estudio, sin que ésta deje de interpretar dicho nivel total como un “1” lógico. Para este ejemplo, la salida –como peor caso– podría presentar un valor de tensión de 4,95 V, mientras que la entrada interpreta como correcto un “1” lógico hasta un valor de tensión de 3,50 V. El margen de ruido, en este caso, es de $4,95\text{ V} - 3,5\text{ V} = 1,45\text{ V}$.
- **Margen de ruido en bajo.** Es el valor en tensión de ruido que podría sumarse a la señal que entra a la compuerta en estudio, sin que ésta deje de interpretar este nivel total como un “0” lógico. Para este ejemplo, la salida –como peor caso– podría presentar un valor de tensión de 0,05 V, mientras que la entrada interpreta como correcto un “0” lógico hasta un valor de tensión de 1,50 V. El margen de ruido, en este caso, es de $1,55\text{ V} - 0,05\text{ V} = 1,45\text{ V}$.

Cada uno de ellos define, por lo tanto, el rango de tensiones que una entrada puede tolerar aún para que se llegue al límite, en cuanto a la interpretación de lo que es un “1” o un “0” lógico.



Actividades para el aula 2.2

En una placa de pruebas tipo *Experimentor*® o *Protoboard*®, sus alumnos pueden armar los circuitos de estos

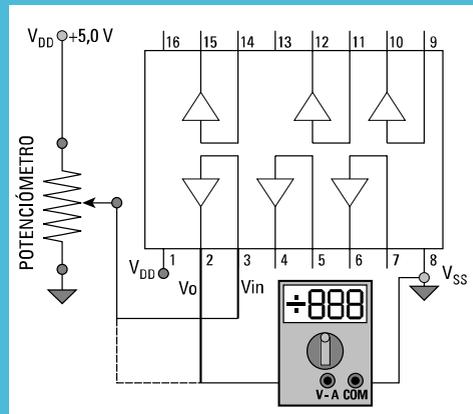
integrados, a fin de medir la función de transferencia de dos dispositivos diferentes como el CD4049UBC y el CD4050BC

para tres valores diferentes: 5, 10 y 15 V, y comparar los resultados con los de las hojas de datos.

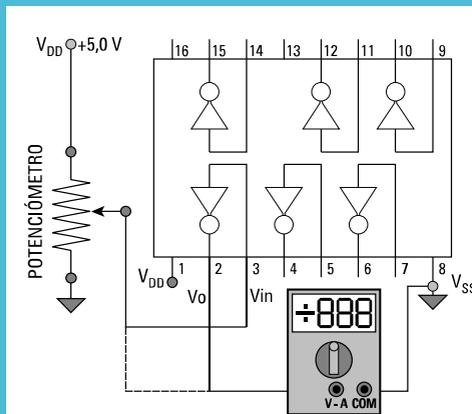
Para esto, deben dibujar una tabla en la que anoten cada valor de tensión de salida y su correspondiente valor de la tensión de entrada.

Va a resultar oportuno que usted les recomiende partir desde 0 V hasta V_{DD} , realizando al menos 20 puntos de medición. En las cercanías del valor de entrada donde se produce el cambio en la

tensión de salida, pueden reducir el tamaño del paso para poder medir con mayor precisión ese valor.



Circuito sugerido para obtener la función de transferencia delo inversor CD4050BC



Circuito sugerido para obtener la función de transferencia del inversor CD4049UBC

En ambas figuras, en línea de puntos se muestran las diferentes conexiones a realizar para medir tanto la tensión de entrada como la de salida, las que deben hacerse en forma secuencial (una y, luego, la otra), salvo que, en su clase, los estudiantes dispongan de dos multímetros o que sus alumnos empleen un osciloscopio de dos canales para medir, simultáneamente, ambas tensiones.



Actividades para el aula 2.3

Dada la hoja de datos del buffer inversor CD4049UBC y del buffer no-inversor CD4050BC, proponga a sus alumnos:

a. Analizar las características de continua, obteniendo:

- Valores máximos y mínimos de trabajo de tensión de alimentación.
- Rango de temperatura de trabajo.
- Máxima corriente de entrada, en nivel alto y bajo.
- Máxima corriente de salida, en nivel alto y bajo.
- Niveles de tensión admisibles de entrada, para nivel alto y bajo.
- Niveles admisibles de tensión de salida, para ambos niveles lógicos.

b. Repetir el procedimiento para otros dispositivos, tales como compuertas *nand*, *nor*, flip-flops, etc., a fin de:

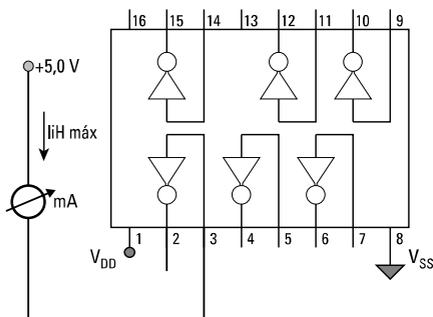
- Detectar qué dispositivos tienen más capacidad de corriente de salida.
- Comprobar que tanto las características de entrada en tensión y corriente como la de salida en tensión son similares en todos los dispositivos CMOS de esta serie.



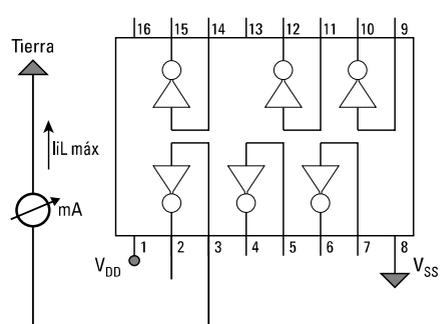
Actividades para el aula 2.4

Para evidenciar el muy bajo consumo de las entradas de los dispositivos CMOS, aún a niveles de tensión de alimentación elevados, proponga a sus alumnos armar los circuitos de estos

integrados, a fin de medir las corrientes de entrada para tres diferentes valores: 5, 10 y 15 V, y comparar los resultados con los dados en las hojas de datos.



Circuito sugerido para realizar la medición de corriente de entrada en nivel alto



Circuito sugerido para realizar la medición de corriente de entrada en nivel bajo





Actividades para el aula 2.5

Dado el circuito integrado CD4049UBC, sugiera a los estudiantes conectar a uno de los inversores los otros cinco que se encuentran en el mismo chip y comprobar si sus características eléctricas se degradan:

Para esto, indíqueles realizar las comprobaciones en el inversor que se va a cargar, midiendo:

- Tensión de salida en nivel alto y bajo.
- Corriente de salida en nivel alto y bajo.
- Corriente de alimentación.



6. VELOCIDAD DE RESPUESTA EN DISPOSITIVOS CMOS

La desventaja más grande que tienen los dispositivos CMOS de la serie CD4000 es su velocidad de respuesta. Esto impide la construcción de circuitos –tales como microprocesadores– que necesiten trabajar a frecuencias de operación elevadas (mayores a los 10 MHz) a fin de realizar operaciones matemáticas y lógicas a alta velocidad, con una reducción sustancial en el tiempo de procesamiento.

Generalmente, los mecanismos que degradan la velocidad de respuesta en dispositivos digitales pueden ser divididos en dos partes:

- los debidos a limitaciones internas y
- los que dependen de factores externos.

Para el caso de las tecnologías que emplean transistores bipolares como la TTL (lógica transistor-transistor) y la ECL (lógica acoplada por emisor), el factor limitante es el interno.

En TTL, por ejemplo, los transistores se llevan al corte y saturación, y esto implica

que se deben sacar e inyectar cargas a sus bases. Esto requiere un cierto tiempo que, generalmente, es mayor comparándolo con el que se debe insumir en manejar las cargas externas.

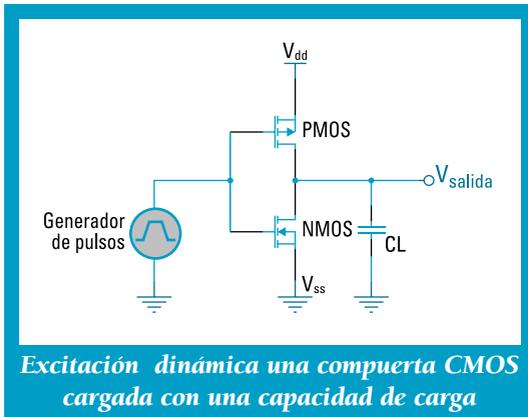
En los dispositivos basados en transistores MOS, a diferencia de los bipolares, tenemos los dos mecanismos; por esto, la velocidad de operación está determinada, fundamentalmente, por la velocidad con que se puede cargar y descargar la capacidad de carga, aún cuando también influye el tiempo interno de las compuertas.

Por lo tanto, la velocidad de respuesta en CMOS tiene dos componentes:

- Tiempos de subida y bajada. Responden al tiempo de carga y descarga de la capacidad de carga conectada a la salida de un dispositivo.
- Tiempo de retardo de propagación. Está relacionado con el tiempo que tardan los transistores de salida en pasar del corte a conducción y viceversa.

a. **Tiempos de subida y bajada.** Analicemos el primer caso, considerando un inversor CMOS para el análisis de velocidad.

En la siguiente figura tenemos un inversor que está excitado por un generador de pulsos. Tiene conectada a su salida una capacidad C_L que representa la propia del inversor más las externas –como, por ejemplo, la del circuito impreso y las que provienen de las entradas de otras compuertas–.



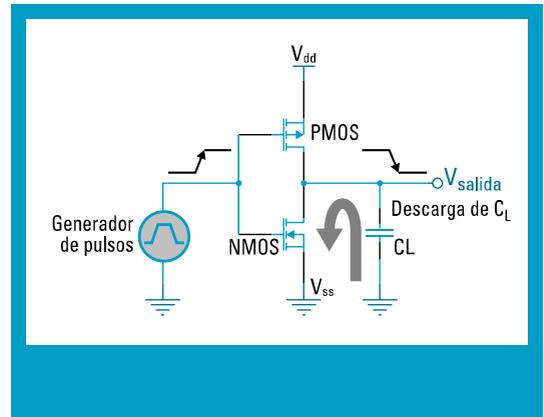
Cuando analizamos la evolución de la potencia disipada en un dispositivo CMOS, consideramos que, generalmente, ambos transistores no conducen en simultáneo: El transistor NMOS trabaja cuando la salida está en un nivel bajo de tensión mientras que el transistor PMOS lo hace en el nivel opuesto.

Al excitar con una señal que está periódicamente modificando los niveles de tensión en la entrada, hará lo mismo a la salida.

La figura siguiente muestra el caso en que la entrada cambia de nivel bajo a alto. Antes de dicha transición, la salida estaba en nivel alto, con el transistor PMOS conduciendo y

la capacidad de carga con una tensión próxima a V_{DD} .

Al recibir las compuertas una transición de bajo a alto, el transistor PMOS comienza a cortarse y el NMOS comienza a conducir. Esto implica que el NMOS presenta una resistencia de valor muy alto a muy bajo, con lo cual la capacidad ahora comienza a descargarse por dicho transistor hacia el terminal de tierra V_{SS} .



La velocidad con que se descarga esta capacidad depende de la tensión de alimentación V_{DD} , del valor de C_L y de los parámetros del transistor NMOS.

La siguiente expresión vincula todo esto en forma aproximada:

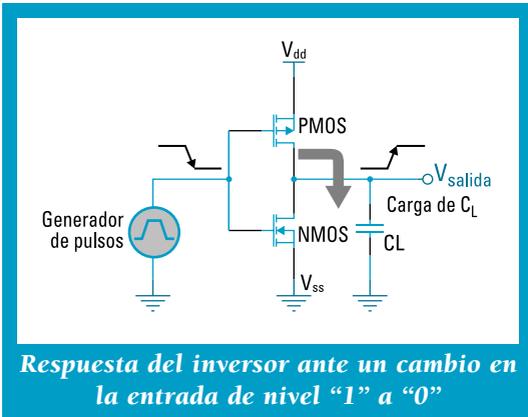
$$t_F = \frac{9 \cdot C_L}{K_N \cdot V_{DD}}$$

Este tiempo, denominado t_F , es el tiempo de bajada –fall time– y representa el tiempo en que la tensión de salida tarda en bajar desde V_{DD} hasta el 10 % de V_{DD} (o, lo que es lo mismo, un 90 % de variación).

Vemos que es directamente proporcional a C_L , lo que nos dice que: Cuanto más carguemos a un dispositivo CMOS, mayor será ese tiempo.

Con respecto a la tensión de alimentación V_{DD} , este tiempo es inversamente proporcional; por tanto, conviene aumentar la tensión, a fin de que la respuesta del inversor sea más rápida.

De la misma manera, si la entrada pasa del estado alto al bajo, la salida hará lo opuesto.



Con la capacidad de carga en casi 0 V, al recibir la orden de activarse el PMOS y el NMOS se cortan, C_L comienza a cargarse a través del PMOS hasta V_{DD} .

El tiempo que tarda en realizarlo, puede expresarse, aproximadamente, por la siguiente ecuación:

$$t_R = \frac{9 \cdot C_L}{K_p \cdot V_{DD}}$$

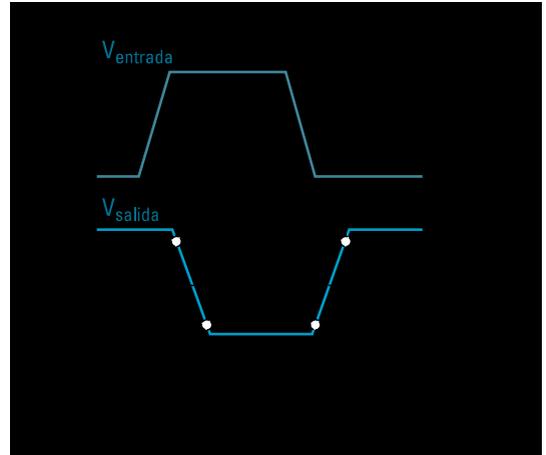
Aquí, t_R es el tiempo de subida –rise time– y representa el tiempo en que la tensión de

salida tarda en subir desde V_{SS} hasta el 90 % de V_{DD} .

También depende, linealmente, de la capacidad de carga C_L y es inversamente proporcional con la tensión de alimentación V_{DD} .

Los coeficientes K_N y K_P que figuran en ambas expresiones corresponden a parámetros internos de los transistores NMOS y PMOS, respectivamente. Para el transistor NMOS, K_N vale $40 \mu A/V^2$; para el transistor PMOS, K_P es igual a $15 \mu A/V^2$.

La siguiente representación de tiempos de tensión de salida y tensión de entrada (diagrama de tiempo) muestra cómo suelen especificarse los tiempos de subida y bajada –en términos porcentuales– de la tensión de alimentación.



Se puede observar que los tiempos, aquí, se toman entre el 10 % y el 90 % de V_{DD} .

Es decir que, tanto t_R como t_F , se miden entre dichos valores de tensión.

Como dato, en el inversor CD4049UBC dichos tiempos son –a 25 °C de temperatu-

ra, 5 V de tensión de alimentación y con una carga a la salida de 50 pF—: $t_R = 60$ ns y $t_F = 30$ ns

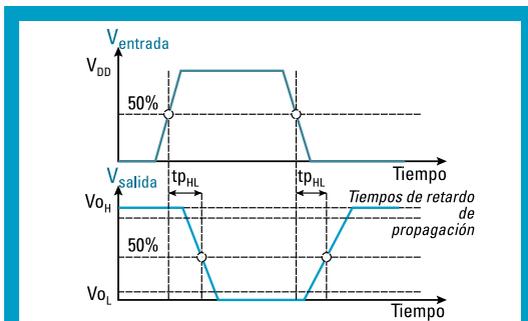
b. Tiempo de retardo de propagación. Este tiempo de retardo se debe al tiempo en que tarda el circuito interno en responder a los cambios de la o de las entradas, y depende de la cantidad de niveles que existan.

Por ejemplo, en un inversor este tiempo es pequeño, ya que sólo hay un nivel de compuertas (dos transistores: NMOS y PMOS). En cambio, en una *or* tenemos dos niveles: la *nor* y, luego, el inversor. Este tiempo, generalmente, se especifica tanto para la transición de la salida de alto a bajo, como de bajo a alto.

t_{PHL} : Es el tiempo en que tarda en responder una salida cuando ésta va a cambiar de nivel alto (H) a bajo (L).

t_{PLH} : Es el tiempo en que tarda en responder una salida cuando ésta va a cambiar de nivel bajo (L) a alto (H).

Generalmente, estos valores son algo diferentes entre sí y, a su vez, un poco mayores que los tiempos de subida (t_R) y de bajada (t_F).



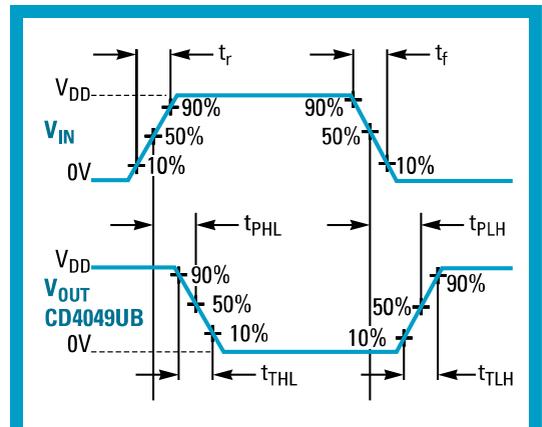
Diagramas temporales de entrada y de salida de un inversor, mostrando los tiempos de retardo de propagación

En esta figura se muestra cómo se toman los valores de tensión para poder medir los tiempos de retardo de propagación.

En este caso, la tensión de referencia es el 50 % de V_{DD} .

Para el caso del inversor CD4049UBC, tenemos que estos tiempos son —a 25 °C de temperatura, 5 V de tensión de alimentación y con una carga a la salida de 50 pF—: $t_{PLH} = 60$ ns y $t_{PHL} = 60$ ns

A continuación, mostramos los diagramas de tiempo obtenidos de las hojas de datos del inversor CD4049UBC de la empresa Fairchild®; en ellos¹¹ se presentan todos los tiempos de retardo (propagación, subida y bajada).



V_{IN} es la tensión de entrada, V_{OUT} es la tensión de salida. Fairchild nombra diferente a los tiempos de subida y de bajada: t_r y t_f son los tiempos de subida y bajada pero de la señal de entrada, mientras que al tiempo de subida de la salida t_R lo designa como t_{LH} y al t_F de salida como t_{THL} .

¹¹Esta gráfica resulta útil para observar que diferentes fabricantes de circuitos integrados (Fairchild, Motorola, Philips, Texas Instruments, etc.) pueden especificar en forma distinta los parámetros tanto estáticos como dinámicos.

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T_{amb} (°C)						UNIT	TEST CONDITIONS	
		74HC							V_{DD} (V)	WAVEFORMS
		-25		-40 to +85		-40 to +125				
		min.	typ.	max.	min.	max.	min.			
t_{rHL} / t_{rLH}	output transition time standard outputs	19	75		95		110	ns	2.0	Figs 3 and 4
		7	15		19		22	4.5		
		6	13		16		19	6.0		
t_{rHL} / t_{rLH}	output transition time bus driver outputs	14	60		75		90	ns	2.0	Figs 3 and 4
		5	12		15		18	4.5		
		4	10		13		15	6.0		

Tabla –original de la hoja de datos– mostrando las características en alterna de un inversor comercial; usted puede apreciar que el fabricante da valores de t_{pHL} , t_{pLH} , t_F (t_{THL}) y t_R (t_{TLH}) para tres diferentes tensiones de alimentación (5 V, 10 V y 15 V). Como se esperaba, a mayor tensión V_{DD} menores son estos tiempos.



Actividades para el aula 2.6

Dada las hojas de datos del buffer inversor CD4049UBC y del buffer no-inversor CD4050BC, puede resultar importante que usted sugiera a su grupo de alumnos:

a. Analizar las características de alterna y explicar por qué el primero tiene tiempos de retardo de propagación menores (casi la mitad), y tiempos de subida y bajada comparables.

b. Según los datos que se brindan con tres diferentes tensiones de alimentación, realizar una curva de tiempos de retardo versus tensión V_{DD} y extrapolar los datos, a fin de conocer cuánto valen dichos tiempos para el caso de querer usar estos dispositivos con baterías de 9 V y 12 V de corriente continua.



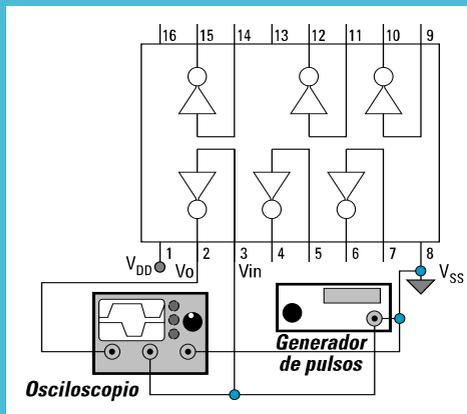
Actividades para el aula 2.7

Para que observen cómo influye el incremento de la carga en la velocidad de respuesta, proponga a sus alumnos que, en una placa de pruebas, armen los circuitos de estos integrados y, con un osciloscopio de 2 canales, analicen la

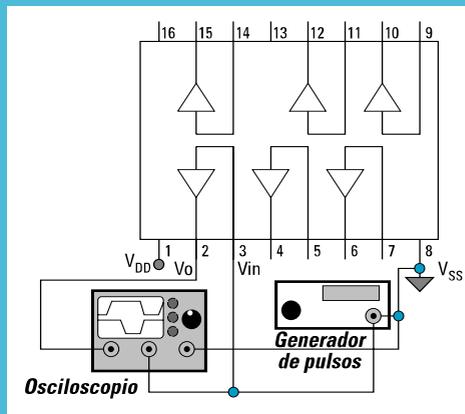
evolución temporal de las señales de entrada y salida para los chips CD4049UBC y CD4050BC, en las siguientes condiciones:

a. Para $V_{DD} = 5$ V sin carga (en vacío), con $C_L = 47$ pF y 150 pF (valores comerciales).

b. Para $C_L = 47 \text{ pF}$ y con tensiones $V_{DD} = 5 \text{ V}, 10 \text{ y } 15 \text{ V}$.



Circuito sugerido para las mediciones de tiempos de retardo en el CD4049UBC



Circuito sugerido para las mediciones de tiempos de retardo en el CD4050BC

Deseamos acercarle algunas **recomendaciones** para la realización de estas tareas:

- En caso de que en su aula no disponga de un osciloscopio de adecuado ancho de banda, un truco que se puede realizar es conectar entre sí inversores (en el caso del CD4049UBC) o no-inversores en cascada (en el caso del CD4050BC) para incrementar los tiempos de retardo. En el caso extremo –cada chip dispone de 6 dispositivos–, este truco va a permitirle sextuplicar estos tiempos; luego, por supuesto, es necesario dividir los valores adquiridos por dicho número. Si bien esta estrategia es aproximada, brinda una forma sencilla de medición.
- Recuerde a sus alumnos que las entradas de los dispositivos que se utilicen deben conectarse a algún nivel lógico determinado (a V_{DD} o a V_{SS}). Esto es para evitar que

generen ruido eléctrico en aquellos dispositivos que estén utilizando.

- También, prevéngalos respecto de la necesidad de conectar un capacitor cerámico de 100 nF entre los terminales de V_{DD} y V_{SS} de cada chip. La razón es que, cuando se inyectan señales variables en el tiempo en un chip, en las transiciones de nivel lógico, los picos de corriente de consumo pueden hacer caer la tensión de alimentación V_{DD} o generar transitorios que afecten el correcto funcionamiento del integrado. El capacitor actúa como acumulador de carga y, durante esos transitorios, la entrega funciona como un filtro pasabajos, disminuyendo los transitorios de tensión en la alimentación.
- Los estudiantes deben seleccionar adecuadamente la frecuencia de trabajo

para cada condición de capacidad y tensión de alimentación, a fin de que los tiempos de duración en alto y bajo de la señal de entrada a los dispositivos sean un poco mayores a los retardos esperados; esto permite poder medir con cierta precisión en el osciloscopio. Por ejemplo, para 5 V y 47 pF, la señal a emplear podría ser una onda cuadrada de 50 % de ciclo de trabajo (el mismo tiempo en estado alto que en bajo) de 1 μ s de período para el caso del CD4049UBC y de 2 μ s para el CD4050BC.

7. DISIPACIÓN DE POTENCIA EN DISPOSITIVOS CMOS

Una de las características sobresalientes de los dispositivos CMOS de la serie CD4000 es su muy bajo consumo de potencia.

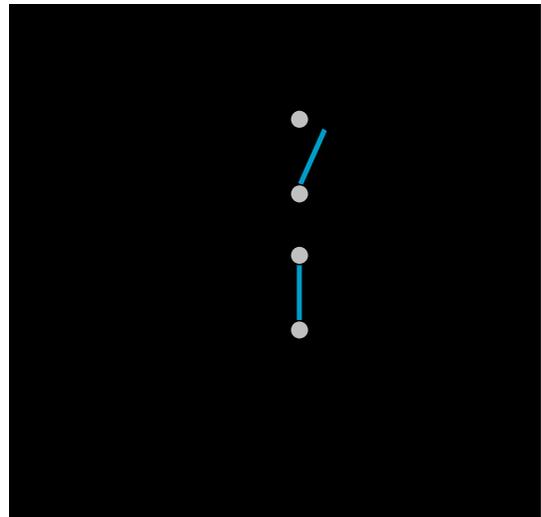
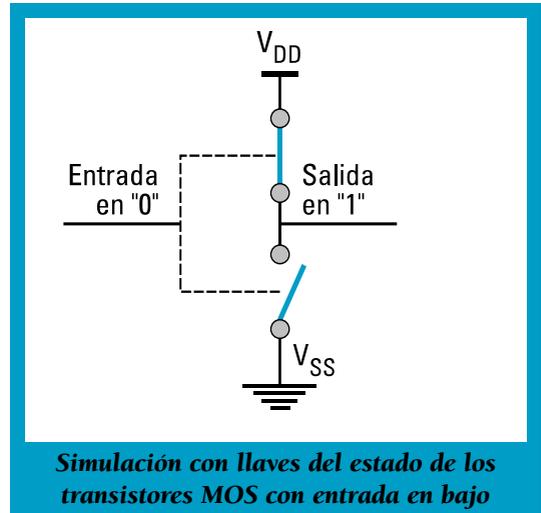
Podemos, entonces, hacer una clasificación del consumo de energía según la actividad del dispositivo:

- Potencia disipada en reposo o en régimen estático (PD_E).
- Potencia disipada en régimen dinámico (PD_D).

$$PD_{TOT} = PD_E + PD_D$$

Esto se refiere al caso de consumo estático; es decir, cuando las entradas del dispositivo no varían (están en un nivel lógico determinado) o lo hacen a una velocidad de cambio muy lenta.

a. Potencia disipada en reposo. Vamos a analizar el caso de un inversor –que puede hacerse extensivo a cualquier otro tipo de compuerta– y, específicamente, de un inversor CMOS, cuyo planteo es más simple.



Cuando la entrada del inversor está en alto, la salida está en bajo. En estas condiciones, el transistor que conduce es sólo el NMOS. Asimismo, cuando la entrada está a nivel

bajo, la salida está a nivel alto, conduciendo solamente el transistor PMOS.

Idealmente, en ambos casos, con el dispositivo en vacío (sin carga alguna) no existe circulación de corriente entre V_{DD} y V_{SS} a través del circuito serie formado por ambos transistores.

Por otro lado, las compuertas de los transistores que forma el inversor, tienen una impedancia tan elevada que la corriente de entrada es de algunos cientos de nA.

Existen, sin embargo, corrientes de fuga, por diodos parásitos que se forman entre los terminales de D y S de cada transistor.

Por estos diodos –aunque estén polarizados en inversa (no los dibujamos para no complicar el dibujo)– circulan corrientes de fuga. Estas corrientes son muy pequeñas y contribuyen, fundamentalmente, al consumo de corriente del chip.

Por ejemplo, para el chip CD4009UB (séxtuple inversor), en la peor condición a $V_{DD} = 5\text{ V}$, la corriente total I_{CC} de consumo de fuente puede ser, como máximo, de $1\ \mu\text{A}$; para $V_{DD} = 20\text{ V}$, esta corriente puede llegar a $20\ \mu\text{A}$.

Esto implica que:

$$\begin{aligned}P_D &= V_{DD} \times I_{CC} \\P_D &= 20\text{ V} \times 20\ \mu\text{A} \\P_D &= 20\text{ V} \times 20^{-6}\text{ A} \\P_D &= 0,4\text{ mW}.\end{aligned}$$

Para tener una idea de cómo se refleja esto

en otras tecnologías, podemos comparar este consumo con el del chip 74LS04 (séxtuple inversor TTL). Uno solo de los 56 inversores tiene un consumo de corriente de $I_{CCH} = 1,2\text{ mA}$ cuando su salida está en nivel alto y de $I_{CCL} = 3,6\text{ mA}$ cuando su salida está en nivel bajo. Es decir que el consumo depende del estado lógico de su salida, siendo el peor caso cuando está en nivel bajo.

Se puede notar que, para el caso del inversor CMOS, el consumo es de $20\ \mu\text{A}$ en el peor caso; pero... de los 6 inversores. Cada uno consume la sexta parte; es decir, aproximadamente, $3\ \mu\text{A}$.

La relación nos dice que, para este ejemplo, CMOS consume 1.000 veces menos corriente.

¿Por qué es importante que consuma poco?

Esta pregunta tiene, al menos, dos respuestas:

- Porque permite usar circuitos en aplicaciones portátiles donde se requiere alimentación con baterías.
- Porque, aún en aplicaciones donde se puede emplear una fuente de alimentación conectada al suministro de tensión domiciliaria de 220 V de alterna, consumir poco implica que el diseño de la fuente requerirá menor disipación de potencia y, por lo tanto, un ahorro no sólo en el pago del uso de energía eléctrica sino en el costo de dicha fuente que, generalmente, está directamente relacionada con la potencia que puede suministrar.

Supongamos que, para dos aplicaciones dadas, necesitamos usar un circuito digital que pueda funcionar con baterías.

- Caso 1: Para el caso de un circuito de alarma donde, en caso de corte del suministro de energía eléctrica domiciliaria, pudiera seguir funcionando.
- Caso 2: Para el diseño de una estación meteorológica que esté en un lugar donde no hay energía eléctrica domiciliaria y deba funcionar

en forma autónoma con la ayuda de baterías que se cargan con celdas solares.

Seleccionemos una de 9 V, que es un valor muy habitual para el uso de gran cantidad de circuitos electrónicos portátiles.

Debemos analizar cuál de las dos tecnologías –CMOS o TTL– es la más conveniente desde el punto de vista de consumo.

Consideremos que las señales digitales son de muy baja frecuencia.

La tecnología TTL tradicional (las series 74LS, 74ALS y 74F que podemos conseguir, hoy en día, en comercios de electrónica) trabajan sólo con 5 V. La serie CD4000 de CMOS, en cambio, puede trabajar desde los 3 V hasta los 18 V.

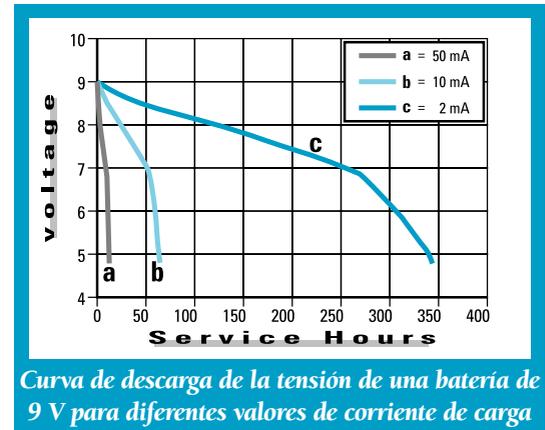
En principio, CMOS admite el uso de, por ejemplo, una batería de 9 V; mientras que TTL necesitaría algún adaptador de tensiones como, por ejemplo, un regulador de tensión de la familia 7805.

Para hacer la selección más realista, supongamos que elegimos emplear una batería alcalina como la MN1604 de Duracell® de dióxido de manganeso-zinc ($Zn-MnO_2$).

En su hoja de datos¹², aparece una serie de curvas que ayudan a calcular cómo se va descargando esta batería.

El siguiente gráfico nos muestra cómo va disminuyendo la tensión de alimentación

de la batería de 9 V, según la corriente de carga que se emplee.

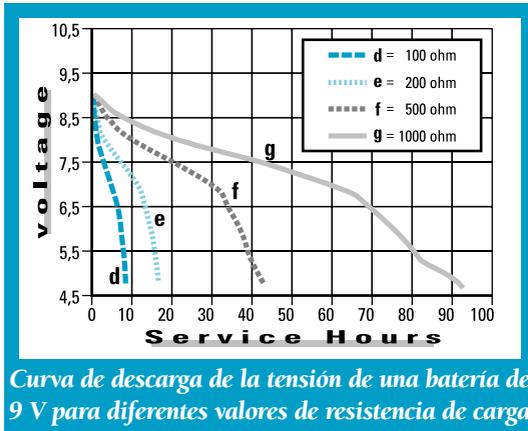


Curva de descarga de la tensión de una batería de 9 V para diferentes valores de corriente de carga

Estas curvas nos dicen cómo la tensión (voltaje) disminuye a medida que pasan las horas en que la pila está en servicio –service hours–; son tres curvas diferentes, cada una para un valor determinado de corriente constante de consumo. Todas ellas se dan para una temperatura ambiente de trabajo de 21 °C.

Otra curva similar se presenta en la misma hoja de datos, pero teniendo como parámetro la resistencia de carga que se conecta a la batería.

¹²Puede conocer más acerca de ella en: www.duracell.com



Se dan, aquí, cuatro curvas diferentes, cada una para un valor distinto de resistencia de carga: desde un consumo elevado (con carga de 100 Ω) hasta otro diez veces menor (con carga de 1000 Ω).

Para dar algún valor de corriente de consumo por parte de nuestro circuito electrónico digital, supongamos que necesitamos, justamente, usar 6 inversores.

- La opción TTL (74LS04) consume –en el peor caso (todos los inversores en estado bajo a la salida)– 3,6 mA por inversor que, en total, son 21,6 mA.
- La opción CMOS consume para $V_{DD} = 10$ V, sólo 10 μ A.

El chip 74LS04 requiere de un regulador de tensión. Éste, generalmente, consume también algo de corriente; pero, vamos a suponer, en este caso, que es despreciable.

Los 21,6 mA de consumo en TTL equivalen a una resistencia de carga de $9 \text{ V} / 0,0216 \text{ A} = 416 \Omega$. Para utilizar números más cercanos a los del gráfico anterior, supongamos que es

500 Ω ; es decir, un consumo un poco menor al calculado.

Según el segundo gráfico, la curva f nos dice que, a las 3 horas de uso continuo, la tensión de la batería cae a 8,5 V (ha perdido 1 V) y que, a las 20 horas de trabajo, la tensión de la batería ha llegado a unos 7,5 V.

En cambio, para CMOS, con un consumo de 10 μ A, no hay curva válida ya que la resistencia de carga equivalente es de $9 \text{ V} / 10^{-6} \text{ A} = 900.000 \Omega$ (unas 1.800 veces mayor al caso TTL) y la resistencia de carga más grande que muestra el gráfico es de 1.000 Ω , muy alejada del valor de carga CMOS de nuestro ejemplo.

Podemos intuir, en este caso¹³, que la duración de la batería será mucho mayor para el caso de CMOS. Generalmente, el tiempo de servicio es, al menos, 10 veces superior.

Consideremos, finalmente, este otro ejemplo de consumo estático para un circuito un poco más complejo que un inversor, un contador binario de 4 bits: El chip 74LS161 (contador binario de 4 bits) de tecnología TTL consume una corriente promedio de 32 mA, mientras que el CD4029B (contador programable binario o décadas de 4 bits) consume en reposo 600 μ A. Es decir... 53 veces menos.

¹³En este análisis consideramos el peor caso de consumo de los inversores tanto TTL como CMOS. Para el primer caso, vimos que los inversores tenían diferente consumo –si la salida está en alto o en bajo–. Para un cálculo más realista, podríamos haber supuesto que cada inversor funciona el mismo tiempo, en alto que en bajo. Si fuese así, la corriente promedio sería la semisuma de los 3,6 mA que consume en nivel bajo y los 1,2 mA que consume en alto; esto da 2,4 mA de corriente promedio de consumo por cada inversor o una corriente total del chip de 14,4 mA (que equivale a una resistencia de carga de 625 Ω).

b. Potencia disipada dinámica. La disipación de potencia dinámica se produce cuando se solicita variaciones en los estados lógicos de sus entradas a los dispositivos lógicos.

En CMOS existen dos mecanismos que contribuyen al aumento del consumo respecto del estado en reposo:

- Potencia disipada debida a efectos internos de cada compuerta (PD_I).
- Potencia disipada debida a efectos de la capacidad de carga externa al dispositivo (PD_{CL}).

La potencia disipada dinámica total es, entonces:

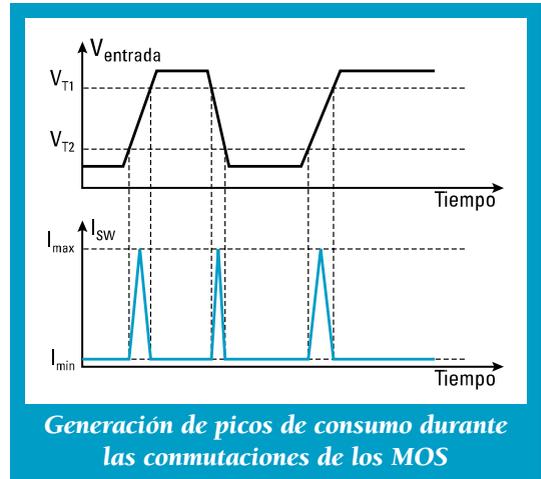
$$PD_D = PD_I + PD_{CL}$$

Potencia disipada por efectos internos (PD_I). Analicemos un ejemplo sencillo: el caso de un inversor.

Cuando inyectamos una onda cuadrada (sucesión de niveles altos y bajos) a la entrada de un inversor, su salida experimenta una serie de transiciones de un estado al otro. En tales circunstancias, los transistores NMOS y PMOS de este inversor pasan de corte a conducción, en forma alternada.

Si bien el consumo del inversor es casi nulo cuando la salida está al nivel bajo o al nivel alto (como el caso de funcionamiento estático analizado anteriormente), en los momentos en que se produce el cambio de un nivel a otro, ambos transistores están momentáneamente en conducción, presentando valores de resistencia R_{DS} relativamente bajos (del orden del $k\Omega$).

En ese momento existe, entonces, un camino de baja resistencia entre la tensión de fuente V_{DD} y la tierra, lo que genera un pico de corriente.



V_{T1} y V_{T2} son los niveles de tensión de entrada del inversor entre los cuales ambos transistores están conduciendo. Aproximadamente en la mitad del valor de la tensión de alimentación ($V_{DD}/2$), se obtiene el máximo valor de corriente I_{max} . I_{min} que corresponde al consumo en reposo—es decir, cuando la de la salida está a un nivel constante de tensión—.

Este fenómeno de disipación dinámica se acentúa a medida que se aumenta la frecuencia de la señal de entrada.

Su comportamiento es lineal con la frecuencia; es decir que, si la frecuencia aumenta al doble, la potencia disipada dinámica también se duplica.

La potencia disipada dinámica también se incrementa con la tensión de alimentación: Si ésta aumenta, también aumenta la

corriente, porque los transistores siempre presentan los mismos valores de resistencia. Pero, en este caso, la relación entre la potencia y la tensión es cuadrática; es decir, si la tensión se incrementa al doble, la potencia cuadruplica su valor:

$$PD_I = f \cdot C_{PD} \cdot V_{DD}^2$$

Donde se expresa:

- Potencia disipada dinámica interna PD_I en [mW].
- Frecuencia de entrada de operación f en [Hz].
- Capacidad de disipación de potencia C_{PD} en [pF].
- Tensión de alimentación V_{DD} en [V].

En la expresión de P_{DI} aparece una capacidad denominada C_{PD} . C_{PD} o **capacidad de disipación de potencia** es un valor que no siempre es aportado por el fabricante y que representa una capacidad equivalente interna al dispositivo que permite calcular dicho valor de disipación. Para una compuerta *nor* como la CD4001B, su valor es 14 pF, mientras que para un sumador de 4 bits, como el CD4008B, es de 100 pF.

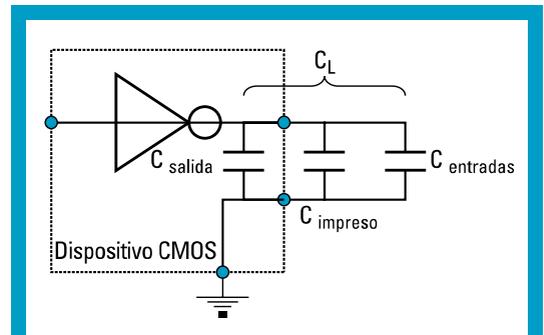
Potencia disipada por efectos de la capacidad de carga (PD_{CL}). En funcionamiento de dispositivos digitales donde las señales varían en el tiempo, entran a jugar un papel importante las capacidades del circuito. Porque estas capacidades, junto con las resistencias asociadas en entradas y salidas, forman diferentes filtros eléctricos (pasa-bajos y pasa-altos) que limitan su velocidad de respuesta.

En el caso de CMOS, esto constituye una seria limitación en cuanto al consumo, ya que cual-

quier salida de un dispositivo tiene asociada una capacidad dada de carga C_L , aún estando en vacío (sin carga).

Al variar la salida de un nivel lógico a otro, debe proporcionar energía a la carga, para cargar y descargar a dicha capacidad.

En la siguiente figura vemos el ejemplo de un inversor con capacidades conectadas a su salida:



Esquema mostrando las capacidades de salida típicas en un inversor

La capacidad total C_L es la suma de la propia capacidad del inversor (C_{salida}) más las capacidades reales de carga externa que son, generalmente, las de las entradas de otras compuertas ($C_{entradas}$) y la del circuito impreso ($C_{impreso}$).

De la misma manera que con la potencia disipada interna, la expresión que vincula la potencia dinámica debido a C_L es:

$$PD_{CL} = f \cdot C_L \cdot V_{DD}^2$$

Donde se expresa:

- Potencia disipada dinámica externa PD_{CL} en [mW].
- Frecuencia de entrada de operación f en [Hz].

- Capacidad total de carga C_L en [pF].
- Tensión de alimentación V_{DD} en [V].

Nuevamente, tenemos que la potencia disipada dinámica debida a efectos externos de carga depende linealmente de la capacidad de carga y de la frecuencia de operación, pero responde al cuadrado de la tensión de alimentación V_{DD} .

Como dato adicional, podemos decir que las entradas de los dispositivos CMOS tienen, en promedio, un valor de capacidad de entrada de alrededor de 5 pF.

Este dato es importante de tener en cuenta cuando queremos calcular la potencia

disipada dinámica. Porque, generalmente, la capacidad de salida de una compuerta CMOS no se consigna en las hojas de datos, dado que suele despreciarse, comparada con las capacidades de carga externas.

Podemos, ahora, dar la expresión de la potencia disipada total dinámica:

$$PD_{CL} = f \cdot C_L \cdot V_{DD}^2 + f \cdot C_{PD} \cdot V_{DD}^2$$

$$PD_{CL} = f \cdot (C_L + C_{PD}) \cdot V_{DD}^2$$

Calculemos la potencia disipada total de una compuerta *nor* CD4001B; por ejemplo, para el caso en que en un proyecto se requiera:

- Optimizar el consumo de energía, conociendo la tensión de trabajo y la frecuencia máxima de operación.

- Calcular la máxima frecuencia de trabajo fijada la tensión de alimentación y el consumo de energía.

Supongamos que va a trabajar a una frecuencia de 1 MHz y alimentada con $V_{DD} = 5$ V, y que tiene conectadas a la salida otras tres compuertas CMOS adicionales de características similares a la *nor*.

De la hoja de datos obtenemos los siguiente datos:

- Corriente de reposo máxima de cada compuerta para 5 V: 1,0 μ A (peor caso).
- Capacidad de disipación de potencia: 14 pF.
- Capacidad de entrada: 7,5 pF (peor caso).

Consideramos, aquí, que la capacidad de carga total es igual a 3 x 7,5 pF = 22,5 pF.

La potencia en reposo de la compuerta es:

$$PD_E = V_{DD}^2 \times I_{DD}$$

$$PD_E = (5 \text{ V})^2 \times 1,0 \mu\text{A}$$

$$PD_E = 25 \mu\text{W}$$

La potencia disipada dinámica es:

$$PD_D = 1 \cdot 10^6 \text{ Hz} \times (5 \text{ V})^2 \times (14 \cdot 10^{-12} \text{ F} + 22,5 \cdot 10^{-12} \text{ F})$$

$$PD_D = 1 \cdot 10^6 \text{ Hz} \times 25 \text{ V}^2 \times 36,5 \cdot 10^{-12} \text{ F}$$

$$PD_D = 912,5 \mu\text{W}$$

La potencia disipada es, entonces, de:

$$PD_{TOTAL} = PD_E + PD_D$$

$$PD_{TOTAL} = 25 \mu W + 912,5 \mu W$$

$$PD_{TOTAL} = 937,5 \mu W$$

Se puede observar que la potencia disipada total se incrementó en unas 37,5 veces, al pasar del régimen estacionario (en reposo) al dinámico

Si hacemos las mismas cuentas para el caso de que la frecuencia de trabajo sea de 10 kHz en lugar de 1 MHz, tenemos que la potencia disipada dinámica ahora es cien veces menor (ya que la frecuencia pasó de 1 MHz a 10 kHz), por lo que vale: $9,125 \mu W$.

La potencia disipada total es, entonces, de $34,125 \mu W$, sólo 1,365 veces mayor que la de reposo.

Podemos resumir esta información en el siguiente gráfico:

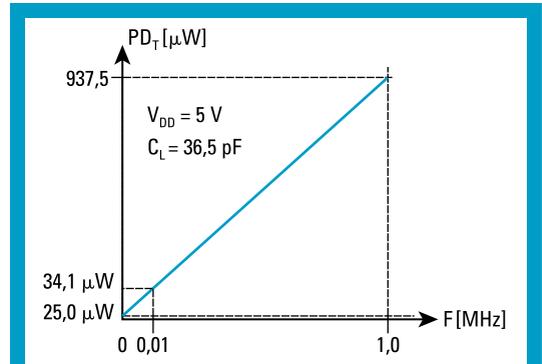


Gráfico de disipación de potencia en función de la frecuencia de trabajo

Si, ahora, hacemos los mismos cálculos pero para un valor de tensión de alimentación de 10 V —es decir, el doble de V_{DD} —, tenemos:

$$PD_{TOTAL} = PD_E + PD_D$$

$$PD_{TOTAL} = 25 \mu W + 3.650 \mu W$$

$$PD_{TOTAL} = 3675 \mu W$$

$$PD_{TOTAL} = 3,675 mW$$

La potencia disipada total casi se ha cuadruplicado.



Actividades para el aula 2.8

A partir de las hojas de datos de la compuerta *nor* CD4001B, sus alumnos pueden:

- Obtener los valores máximos de corriente de consumo en reposo, para diferentes tensiones de alimentación.
- Obtener los valores máximos para la corriente de entrada.
- Calcular la potencia de consumo estático de cada compuerta y del chip.
- Calcular la potencia de disipación

máxima para tres valores de tensión de alimentación V_{DD} (5 V, 10 V y 15 V), en función de la capacidad de carga y de la capacidad de disipación de potencia C_{PD} , considerando que C_L es de 50 pF y que la frecuencia de operación es de 1 MHz.

- Realizar los mismos cálculos que para el ítem anterior pero considerando, ahora, que la capacidad de carga es la que se forma al conectarle 8 entradas de compuertas con características

similares a las de la hoja de datos de la nor CD4001B.

- f. Basándose en los datos anteriores, calcular la potencia total de disipación.
- g. Dibujar la curva de disipación de

potencia total, en función de la frecuencia para $V_{DD} = 5\text{ V}$.

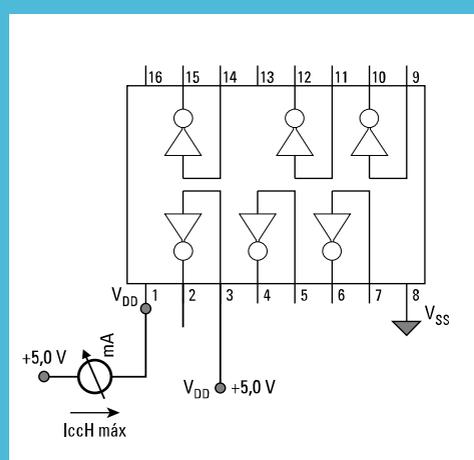
- h. Dibujar la curva, pero en función de la tensión de alimentación para una frecuencia de trabajo de 1 MHz.



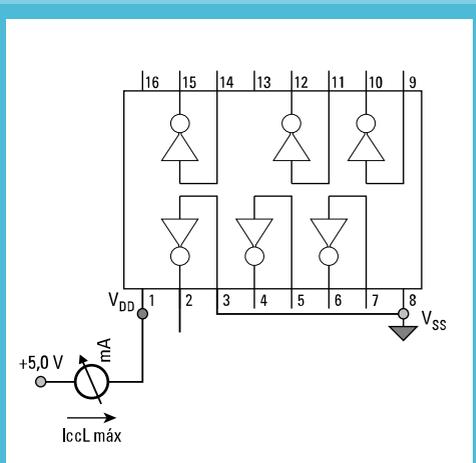
Actividades para el aula 2.9

Para evidenciar el muy bajo consumo de corriente de fuente de los dispositivos CMOS, aún a niveles de tensión de alimentación elevados, los estudiantes pueden armar los circuitos de estos

integrados, a fin de medir el consumo de corriente para tres diferentes valores: 5, 10 y 15 V, y comparar los resultados con los dados en las hojas de datos.



Circuito sugerido para realizar la medición de corriente de alimentación en nivel alto



Circuito sugerido para realizar la medición de corriente de alimentación en nivel bajo

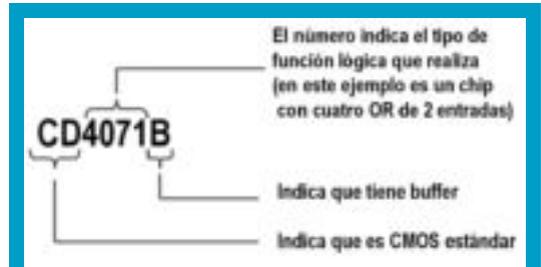


8. INTERPRETACIÓN DE HOJAS DE DATOS DE DISPOSITIVOS DIGITALES CMOS

En la identificación de los dispositivos CMOS para la serie CD4000 tenemos la siguiente regla:



Identificación de un dispositivo CMOS de la serie 4000 sin buffer a la salida



Identificación de un dispositivo CMOS de la serie 4000 con buffer a la salida

A continuación, a modo de ejemplo analizamos las hojas de datos de dos circuitos integrados CMOS de la serie CD4000BC. Se trata del CD4001BC (cuádruple *nor* de 2 entradas) y el CD4011BC (cuádruple *nand* de 2 entradas).

National Semiconductor March 1988

CD4001BM/CD4001BC Quad 2-Input NOR Buffered B Series Gate
CD4011BM/CD4011BC Quad 2-Input NAND Buffered B Series Gate

General Description
These quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain.
All inputs are protected against static discharge with diodes to V_{DD} and V_{SS} .

Features

- Low power TTL compatibility
- 5V–10V–15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 μ A at 15V over full temperature range

Fan out of 2 driving 74L or 1 driving 74LS

Título y descripción de los dispositivos CD4001BC y CD4011BC

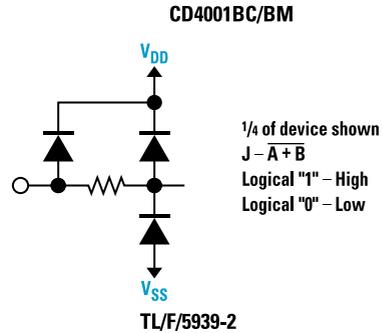
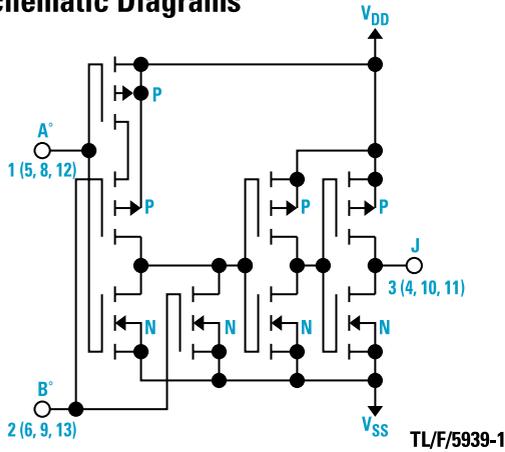
En la **descripción general** –*General Description*– se da un resumen de las características de los dispositivos. Aquí, en particular, se dice que están contruidos con transistores de canal P y N, y que las salidas

contienen un buffer para mejorar las características eléctricas.

En las **características generales** –*Features*– se expresa:

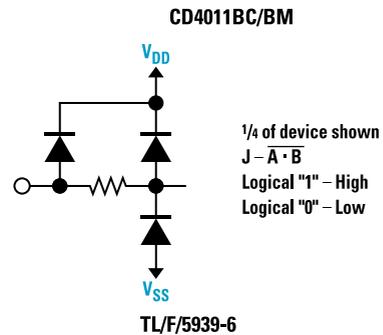
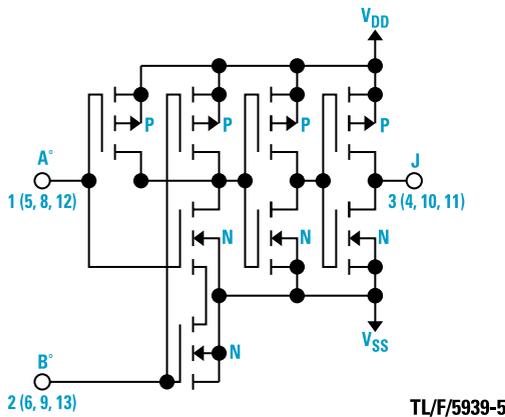
- La compatibilidad con cargas TTL de bajo consumo (hasta una carga 74LS).
- Las especificaciones para tres valores de tensión de alimentación: 5, 10 y 15 V.
- La respuesta de las salidas son simétricas (porque tienen *buffers*).
- La máxima corriente de entrada para las peores condiciones (de tensión, de ali-

Schematic Diagrams



1/4 of device shown
 $J = \overline{A + B}$
 Logical "1" – High
 Logical "0" – Low

* All inputs protected by standard CMOS protection circuit.



1/4 of device shown
 $J = \overline{A \cdot B}$
 Logical "1" – High
 Logical "0" – Low

* All inputs protected by standard CMOS protection circuit.

Diagramas esquemáticos de los dispositivos CD4001BC y CD4011BC

En esta parte de las hojas de datos se presentan los circuitos internos de cada compuerta y el detalle de los circuitos de protección de las entradas ante descargas electroestáticas.

En los diagramas se puede observar que,

luego de los transistores, hay dos inversores en cascada que realizan la función lógica tanto en la *nor* como en la *nand*. Si bien negar dos veces es lo mismo que no negar, la idea, aquí, es la de permitir que la salida sea simétrica.

Agregar buffers sirve, también, en otros casos, para dar mayor capacidad de corriente a una compuerta dada.

En el ítem de **rangos máximos absolutos** –*Absolute Maximum Ratings*– y de **condicio-**

nes de operación –*Operation Conditions*– se establecen los valores límites de varios parámetros que no deben ser excedidos, a fin no sólo de garantizar la durabilidad de los componentes sino de lograr que éstos trabajen adecuadamente.

Absolute Maximum Ratings (Notes 1 and 2)		Operating Conditions	
If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.		Operating Range (V_{DD})	3 V_{DD} to 15 V_{DD}
Voltage at any Pin	-0.5V to V_{DD} +0.5V	Operating Temperature Range	
Power Dissipation (P_D)		CD4001BM, CD4011BM	-55°C to +125°C
Dual-in-Line	700 mW	CD4001BC, CD4011BC	-40°C to +85°C
Small Outline	500 mW		
V_{DD} Range	-0.5 V_{DD} to +18 V_{DD}		
Storage Temperature (T_S)	-65°C to +150°C		
Lead Temperature (T_L)			
(Soldering, 10 seconds)	260°C		

Rangos máximos absolutos y condiciones de operación

En rangos máximos se especifica:

- Rango de tensiones máximos en cada pin. No se deben superar nunca los 0,5 V sobre el valor de V_{DD} ni 0,5 V por debajo del potencial de tierra.
- Disipación de potencia. No debe superar los 700 mW en dispositivos con encapsulado del tipo *doble en línea* –DIL– y de 500 mW con encapsulado de montaje superficial –*Small Outline* o SO–.

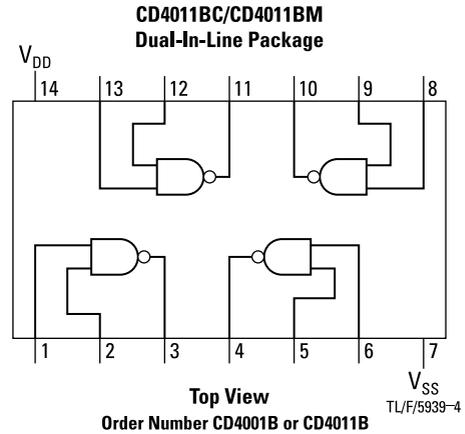
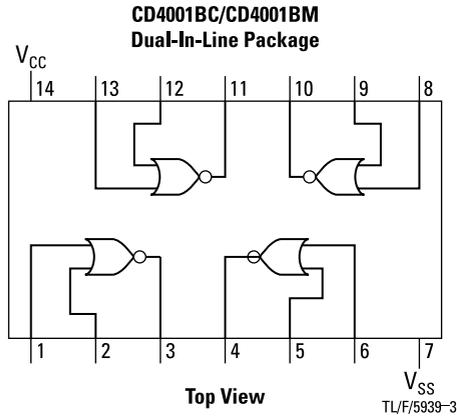
En las condiciones de operación se da el rango adecuado de tensión de alimentación: entre 3 y 15 V.

Se puede trabajar en un rango de temperatura de entre:

- -55 °C y +125 °C, con dispositivos para uso militar (los que terminan con la sigla M) o entre
- -40 °C y +85 °C para uso comercial (los dispositivos que terminan con la sigla C).

Los **diagramas de conexiones** –*Connection Diagrams*– permiten identificar la función lógica que realiza cada circuito integrado y cuál es la disposición de pines en cada uno de ellos.

Connection Diagrams



Esquemas eléctricos, sobre la base de símbolos, de las funciones que realiza cada integrado

Las **características de continua** –DC *Characteristics*– describen las características eléctricas en reposo (con señales aplicadas pero que están fijas a un determinado nivel lógico). Generalmente, se especifican tensiones y corrientes de salida y de entrada, como también la tensión y la corriente de alimentación del dispositivo en cuestión.

Como esta serie se caracteriza por tener un rango amplio de tensiones de alimentación, se suelen dar los parámetros eléctricos de importancia (tanto para continua como para alterna) para 3 valores diferentes de V_{DD} ; generalmente, estos valores están estandarizados en 5 V, 10 V y 15 V.

Aquí no existe diferencia alguna entre el CD4001BC y el CD4011BC. Ambos consumen las mismas corrientes de entrada y de fuente, y entregan la misma corriente de salida para los mismos valores de tensión de salida en ambos niveles lógicos.

A modo de comprobar las características eléctricas en reposo de los dispositivos CMOS en la tabla de la próxima página podemos observar que los valores de corriente de entrada son, en la peor condición, de tan solo 1 μA .

Las **características de alterna** –AC *Characteristics*– especifican los tiempos de retardo, tanto de propagación de alto a bajo, y viceversa, como de los tiempos de subida y de bajada.

Además, se especifica la capacidad de cada entrada CMOS y, en particular, el valor de capacidad de disipación dinámica C_{PD} (no se da en todos los dispositivos), que sirve para realizar el cálculo de la disipación dinámica interna de cada compuerta.

En este caso, el fabricante da por separado las especificaciones de alterna, aunque los tiempos de retardo son muy similares entre sí.

DC Electrical Characteristics CD4001BC, CD4011BC (Note 2)

Symbol	Parameter	Conditions	-40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD} = 5V, V_{IN} = V_{DD}$ or V_{SS}		1		0.004	1		7.5	μA
		$V_{DD} = 10V, V_{IN} = V_{DD}$ or V_{SS}		2		0.006	2		15	μA
		$V_{DD} = 15V, V_{IN} = V_{DD}$ or V_{SS}		4		0.006	4		30	μA
V_{OL}	Low Level Output Voltage	$V_{DD} = 5V$		0.05		0	0.05		0.05	V
		$V_{DD} = 10V$		0.05		0	0.05		0.05	V
		$V_{DD} = 15V$		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	$V_{DD} = 5V$	4.95		4.95	5		4.95		V
		$V_{DD} = 10V$	9.95		9.95	10		9.95		V
		$V_{DD} = 15V$	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 5V, V_O = 4.5V$		1.5		2	1.5		1.5	V
		$V_{DD} = 10V, V_O = 9.0V$		3.0		4	3.0		3.0	V
		$V_{DD} = 15V, V_O = 13.5V$		4.0		6	4.0		4.0	V
V_{IH}	High Level Input Voltage	$V_{DD} = 5V, V_O = 0.5V$	3.5		3.5	3		3.5		V
		$V_{DD} = 10V, V_O = 1.0V$	7.0		7.0	6		7.0		V
		$V_{DD} = 15V, V_O = 1.5V$	11.0		11.0	9		11.0		V
I_{OL}	Low Level Output Current (Note 3)	$V_{DD} = 5V, V_O = 0.4V$	0.52		0.44	0.88		0.36		mA
		$V_{DD} = 10V, V_O = 0.9V$	1.3		1.1	2.25		0.9		mA
		$V_{DD} = 15V, V_O = 1.5V$	3.6		3.0	6.8		2.4		mA
I_{OH}	High Level Output Current (Note 3)	$V_{DD} = 5V, V_O = 4.6V$	-0.32		-0.44	-0.66		-0.36		mA
		$V_{DD} = 10V, V_O = 9.5V$	-1.3		-1.1	-2.25		-0.9		mA
		$V_{DD} = 15V, V_O = 13.5V$	-3.6		-3.0	-6.8		-2.4		mA
I_{IN}	Input Current	$V_{DD} = 15V, V_{IN} = 0V$		-0.30		-10^{-5}	-0.30		-1.0	μA
		$V_{DD} = 15V, V_{IN} = 15V$		0.30		10^{-5}	0.30		1.0	μA

Tabla descriptiva de las características en estado estacionario de los dispositivos

AC Electrical Characteristics* CD4001BC, CD4001BM

$T_A = 25^\circ C$, Input $t_r = t_f = 20$ ns, $C_L = 50$ pF, $R_L = 200k$. Typical temperature coefficient is 0.3%/°C.

Symbol	Parameter	Conditions	Typ	Max	Units
t_{PHL}	Propagation Delay Time, High-to-Low Level	$V_{DD} = 5V$	120	250	ns
		$V_{DD} = 10V$	50	100	ns
		$V_{DD} = 15V$	35	70	ns
t_{PLH}	Propagation Delay Time, Low-to-High Level	$V_{DD} = 5V$	110	250	ns
		$V_{DD} = 10V$	50	100	ns
		$V_{DD} = 15V$	35	70	ns
t_{THL}, t_{TLH}	Transition Time	$V_{DD} = 5V$	90	200	ns
		$V_{DD} = 10V$	50	100	ns
		$V_{DD} = 15V$	40	60	ns
C_{IN}	Average Input Capacitance	Any Input	5	7.5	pF
C_{PD}	Power Dissipation Capacity	Any Gate	14		pF

*AC Parameters are guaranteed by DC correlated testing.

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The title of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: All voltages measured with respect to V_{SS} unless otherwise specified.

Note 3: I_{OL} and I_{OH} are tested one output at a time.

Características dinámicas para el CD4001BC

Se puede observar que estos tiempos corresponden a parámetros determinados como el de la capacidad de carga, la temperatura ambiente y la tensión de fuente de alimentación.

Generalmente, esta información se da con un valor de temperatura y de capacidad deter-

minados ($T_{amb} = 25\text{ °C}$ y $C_L = 50\text{ pF}$) y tres valores diferentes de tensión V_{DD} .

Podemos comprobar que, a mayor tensión V_{DD} menores son los retardos; o, lo que es lo mismo, más velocidad se puede obtener con cada compuerta.

AC Electrical Characteristics® CD4011BC, CD4011BM
 $T_A = 25\text{ °C}$, Input $t_r = 20\text{ ns}$, $C_L = 50\text{ pF}$, $R_L = 200k$. Typical Temperature Coefficient is 0.3%/°C.

Symbol	Parameter	Conditions	Typ	Max	Units
t_{PHL}	Propagation Delay, High-to-Low Level	$V_{DD} = 5V$	120	250	ns
		$V_{DD} = 10V$	50	100	ns
		$V_{DD} = 15V$	35	70	ns
t_{PLH}	Propagation Delay, Low-to-High Level	$V_{DD} = 5V$	85	250	ns
		$V_{DD} = 10V$	40	100	ns
		$V_{DD} = 15V$	30	70	ns
t_{DHL}, t_{DLH}	Transition Time	$V_{DD} = 5V$	90	200	ns
		$V_{DD} = 10V$	50	100	ns
		$V_{DD} = 15V$	40	60	ns
C_{IN}	Average Input Capacitance	Any Input	5	7.5	pF
C_{PD}	Power Dissipation Capacity	Any Gate	14		pF

*AC Parameters are guaranteed by DC correlated testing.

Características dinámicas para el CD4011BC

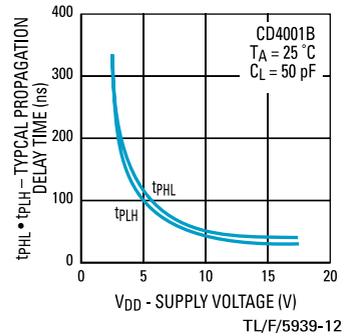
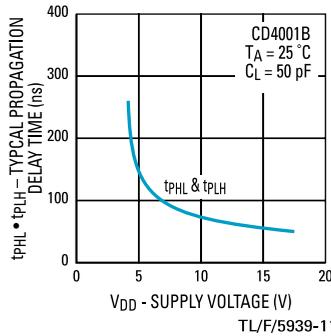
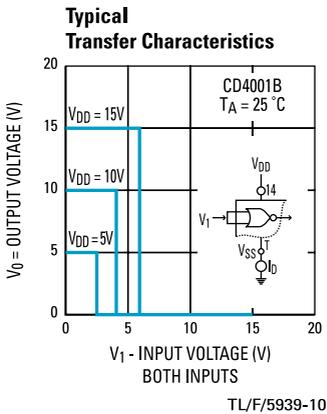
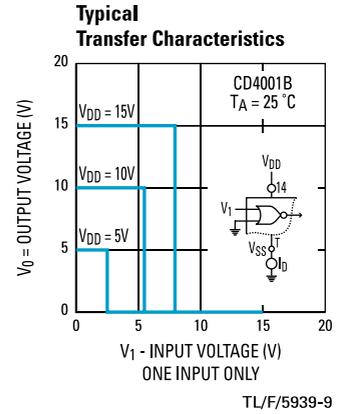
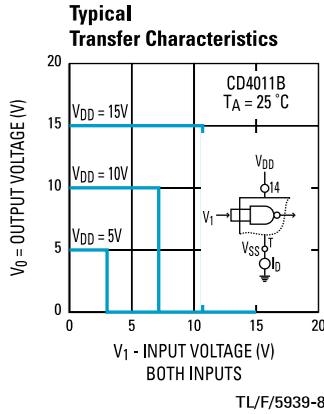
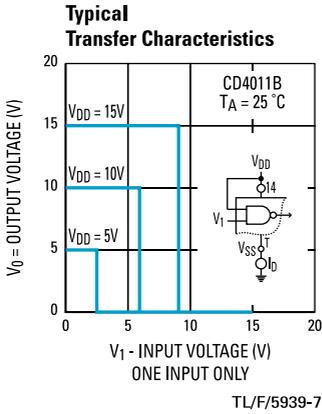
Las **características de performance típicas** –Typical Performance Characteristics– proveen información sobre el comportamiento de los dispositivos; pero, en forma de gráficos.

En la próxima página, la primera serie de figuras describe el comportamiento en continua de las compuertas. Los cuatro primeros gráficos muestran las funciones de transferencia (tensión de salida en función de la tensión de entrada) para los diferentes valores de la tensión de alimentación V_{DD} ; como existen varias combinaciones posibles de entradas, se dan diferentes gráficos para cada una de esas posibilidades.

A partir de la quinta figura se presenta una serie de gráficos mostrando el comportamiento dinámico de las compuertas. La figura 5 representa los tiempos de retardo de propagación de alto a bajo y viceversa, para el CD4001BC; la figura 6, lo mismo para el CD4011BC. Estos tiempos de retardo se dan para valores fijos de temperatura y capacidad de carga, y como función de la tensión de alimentación V_{DD} .

Se puede observar, nuevamente, cómo bajan estos retardos al aumentar la tensión de alimentación V_{DD} .

Typical Performance Characteristics



Gráficos con funciones de transferencia y tiempos de retardo de los dispositivos CD4001BC y CD4011BC

En la serie de figuras de la próxima página podemos ver algo similar; pero, ahora, los tiempos de retardo se grafican en función de la capacidad de carga, con un valor determinado de temperatura y mostrando tres curvas que corresponden a diferente tensión de alimentación.

Observamos que, para una tensión dada V_{DD} , los retardos aumentan al aumentar C_L .

Las curvas no parten de 0 pF, ya que la propia salida de una compuerta tiene asociada una capacidad parásita dada de alrededor de 14 pF.

Typical Performance Characteristics (Continued)

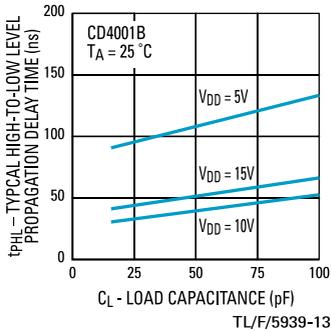


FIGURE 7

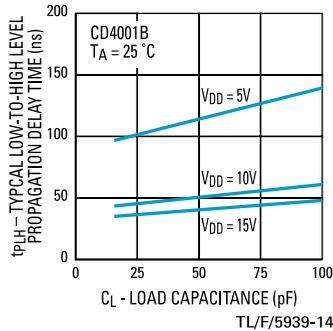


FIGURE 8

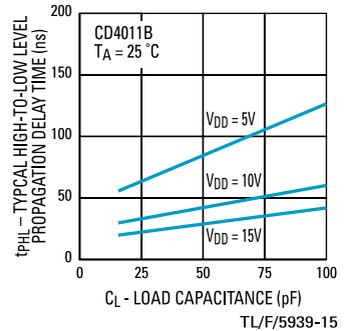


FIGURE 9

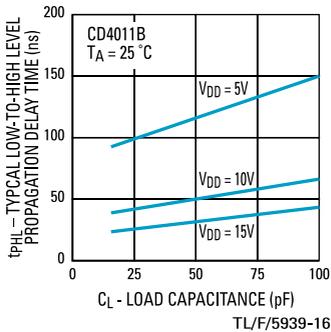


FIGURE 10

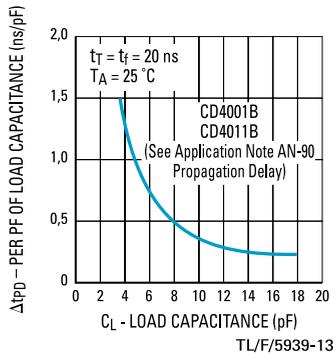


FIGURE 11

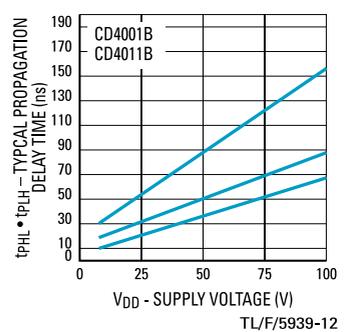


FIGURE 12

Gráficos mostrando la evolución de los tiempos de retardo de propagación, y los de subida y bajada.

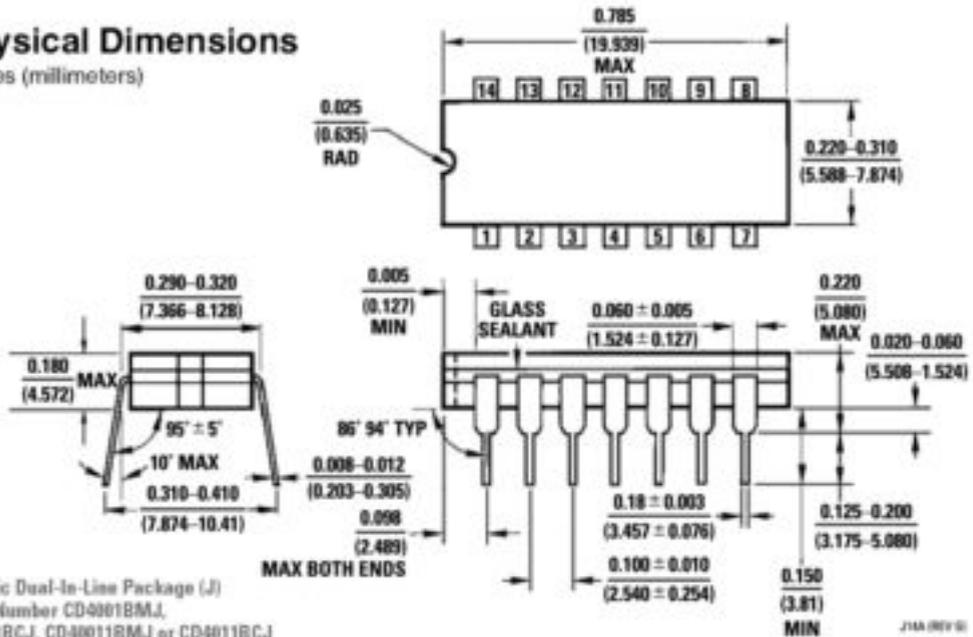
La última figura se refiere a la evolución de los tiempos de subida y bajada de las compuertas, también en función de la capacidad de carga. De igual forma que con los tiempos de retardo de propagación, al aumentar esta capacidad, aumentan los tiempos.

La sección de **dimensiones físicas** –Physical Dimensions– a veces está junto con la parte de “Descripción”, otras veces se llama “Información de encapsulado” –Package Information– y en ocasiones no aparece en ninguna hoja de datos, sino en forma separada en un documento anexo.

En la siguiente imagen mostramos el caso de encapsulado tipo DIL –Dual-In-Line; doble en línea–; en él, los pines salen desde los costados del encapsulado que, en este caso, es cerámico (también los hay en plástico). En particular, este tipo de empaquetamiento del chip se está dejando de usar debido a que se necesita mucha área de circuito impreso; en la actualidad se emplean los encapsulados de montaje superficial en los que las soldaduras se realizan sólo en la cara de lado componentes del circuito impreso. Su menor tamaño disminuye las dimensiones finales de la placa.

Physical Dimensions

Inches (millimeters)



Dimensiones del encapsulado cerámico tipo DIL

9. TIPOS DE ENTRADAS EN DISPOSITIVOS CMOS DE LA SERIE CD4000

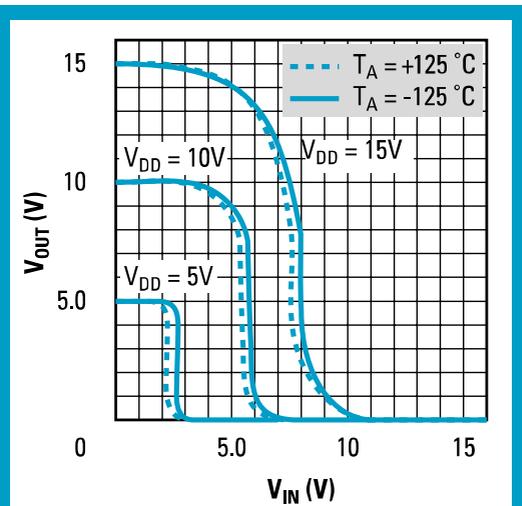
Independientemente de la función lógica que se realice, existen dos tipos de entradas diferentes y cuatro tipos distintos de salidas (normal sin buffer, normal con buffer, drenador abierto y tercer estado).

Los tipos de entradas son:

- Normal.
- Disparador de Schmitt –Schmitt Trigger–.

Entrada CMOS normal. Es el tipo de entrada que hemos venido analizando en todos los casos planteados; en ella, cada pin de entrada de un dispositivo se conecta a los transistores que

correspondan, PMOS y NMOS.



Función de transferencia para un dispositivo CMOS con entrada normal (por ejemplo, un inversor como el CD4069UBCB)

En la figura de la página anterior vemos la función de transferencia que aparece en las hojas de datos del inversor CD4069UBC para tres diferentes valores de tensión de alimentación.

Donde:

- *Gate Transfer Characteristic* significa “Características de transferencia de la compuerta”.
- V_{OUT} es la tensión de salida.
- V_{IN} es la tensión de entrada.
- V_{DD} es la tensión de alimentación de la compuerta.
- T_A es la temperatura ambiente de trabajo.

Como se puede apreciar, para un valor de tensión de alimentación V_{DD} dado, existe un único valor de la tensión de entrada donde se produce la transición de estado de la salida. Este valor es, aproximadamente, la mitad de V_{DD} .

La curva en línea llena y la de línea de trazos corresponden a diferentes valores de la temperatura ambiente de trabajo del dispositivo, que van desde los $-55\text{ }^{\circ}\text{C}$ (línea llena) hasta los $+125\text{ }^{\circ}\text{C}$ (línea de trazos). Se puede apreciar que no es mucha la variación en la tensión de entrada en la cual se produce dicha transición.

Entrada CMOS tipo disparador de Schmitt –Schmitt Trigger–. Es una entrada especial que tienen algunos dispositivos CMOS. Su característica principal es la de presentar una histéresis en la función de transferencia.

Existen dos valores diferentes de tensión de entrada para que ocurra una transición

en el estado lógico de la salida. Si la entrada está en nivel alto y comienza a disminuir, la salida cambia de nivel bajo a alto cuando la entrada decrece por debajo de los 1,8 V. En cambio, para lograr que la tensión de salida pase del estado alto al bajo, la entrada debe aumentar por arriba de los 3,3 V de tensión.

La **histéresis en tensión** es la diferencia de tensión en la entrada que existe entre un cambio y el otro. En este caso, es de 3,3 V – 1,8 V; es decir, de unos 1,5 V.

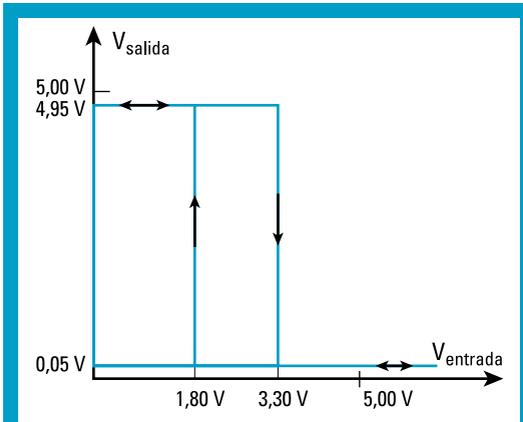
Una de las ventajas de utilizar este tipo de entrada es que se logra aumentar el margen de ruido (mayor inmunidad al ruido); por ejemplo, si la entrada está en nivel bajo y a ella se suma una tensión de ruido, la salida pasa recién a nivel bajo cuando la suma de dichas señales supera los 3,3 V, en algún momento.

Por otro lado, si la entrada está en nivel alto y se suma ruido, la salida cambia a estado alto, erróneamente, recién cuando en la entrada se presenta una señal que tiene, en algún momento, menos de 1,8 V.

Es interesante comparar este proceso con la función de transferencia del inversor normal, donde siempre la transición ocurre en alrededor de la mitad de la tensión de alimentación.

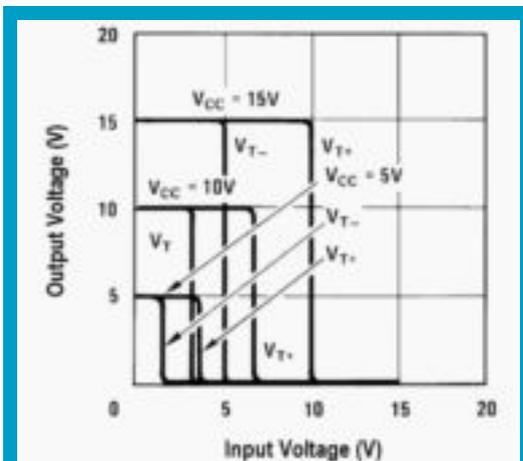
En el próximo gráfico¹⁴ se puede observar para diferentes valores de tensión de alimentación:

¹⁴Este ejemplo es para el caso de aplicar una tensión de alimentación de 5 V.



Función de transferencia para un dispositivo CMOS (por ejemplo, un inversor como el CD40106B)

Un gráfico más realista –obtenido de las hojas de datos de un inversor CMOS– nos muestra la misma función de transferencia pero para tres valores de tensión de alimentación: 5 V, 10 V y 15 V.



Función de transferencia para un dispositivo CMOS (por ejemplo, un inversor)

Aquí:

- V_{T+} es la tensión de entrada donde se produce la transición de la tensión de salida cuando la entrada excursiona¹⁵ de un valor bajo a alto.
- V_{T-} es la tensión de entrada donde se produce la transición de la tensión de salida cuando la entrada excursiona de un valor bajo a alto¹⁶.

En el gráfico se puede observar que, a medida que crece la tensión de alimentación, también aumenta la zona de histéresis (la zona de tensión de entrada entre las líneas verticales se hace cada vez más ancha). Esto quiere decir que, desde el punto de vista de valores absolutos de tensión, a mayor tensión de alimentación con que se trabaje en el chip, mayor será la inmunidad al ruido, pues el ruido debe excursionar con mayor nivel de tensión para causar un cambio indeseado de la salida.

Las compuertas más difundidas que poseen este tipo de entrada son:

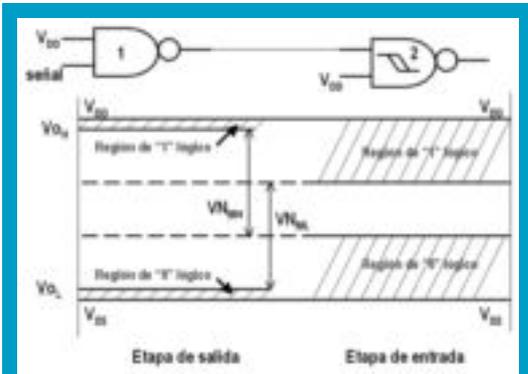
- CD4093BC. Cuádruple *nand* de 2 entradas tipo *Schmitt Trigger*.
- CD40106BC. Séxtuple inversor con disparador de Schmitt.

Algunas de sus aplicaciones más comunes son:

- Conformador de pulsos (conformador de señales y supresor de ruido)¹⁷.
- Multivibrador astable.
- Multivibrador monoestable.

Para entender cómo trabaja una entrada *Schmitt Trigger*, le acercamos una representación de una compuerta de este tipo

(compuerta 2) que recibe señal de otra compuerta cualquiera (compuerta 1).



Representación de una conexión sobre una entrada CMOS con Schmitt Trigger

En la parte superior se puede ver un esquema en el que se conecta la salida de una compuerta a la entrada de otra que tiene una entrada tipo *disparador de Schmitt*.

En la parte inferior se han dibujado los gráficos de la tensión de salida normales de funcionamiento, tanto para la salida de la compuerta de la izquierda como para la entrada de la compuerta de la izquierda.

El gráfico de la izquierda muestra –en rayado– los valores posibles que, normalmente, tomaría la tensión de salida de la compuerta 1, tanto en el estado alto (“1” lógico) como en el bajo (“0” lógico).

El de la derecha representa –en rayado– las zonas donde la compuerta con entrada *Schmitt Trigger* puede interpretar correctamente el nivel lógico del que se trate.

La indicación VN_{MH} representa el rango de tensión que puede tomar la señal de salida de la compuerta 1, estando en el nivel alto, sin

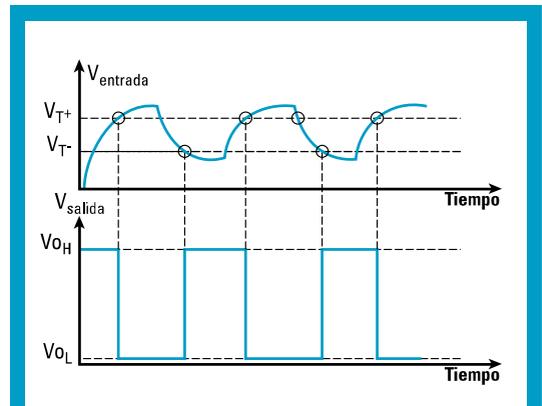
que la compuerta 2 llegue a malinterpretarla. Éste es el denominado **margen de ruido de nivel alto**.

Del mismo modo, la indicación VN_{ML} representa el rango de tensión que puede tomar la señal de salida de la compuerta 1 estando en el estado bajo, sin que la compuerta 2 llegue a malinterpretarla. Éste es el **margen de ruido de nivel bajo**.

Comparando con el margen de ruido de una compuerta de entrada común, la del tipo disparador de Schmitt tiene mayor inmunidad al ruido; es decir, una entrada de este tipo tolera un rango de tensión mayor que el de una compuerta de entrada normal.

Uso como conformador de señales. En la siguiente figura tenemos una representación temporal de la entrada y de la salida de un inversor CMOS con *Schmitt Trigger*.

La entrada es una señal no digital cuyos valores máximos y mínimos de tensión se encuentran acotados dentro de los valores permitidos (entre V_{DD} y V_{SS}).



Representación de la respuesta temporal de un inversor CMOS con Schmitt Trigger

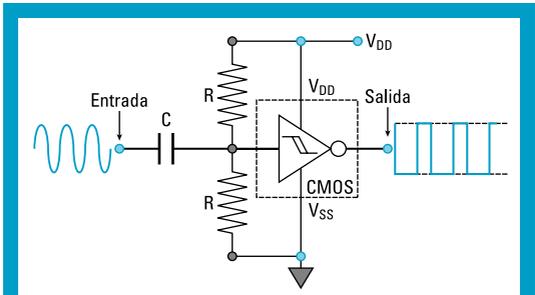
Gracias a la histéresis en la entrada, el circuito puede obtener una salida perfectamente digital (señal de tensión correctamente conformada).

Un ejemplo más concreto de implementación es el de conformar una señal tipo senoide, proveniente de la tensión de línea de alimentación domiciliar de 220 VAC, a fin de convertirla en una señal digital para, posteriormente, medir su frecuencia.

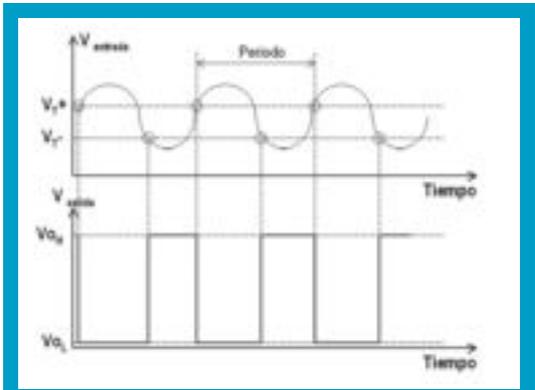
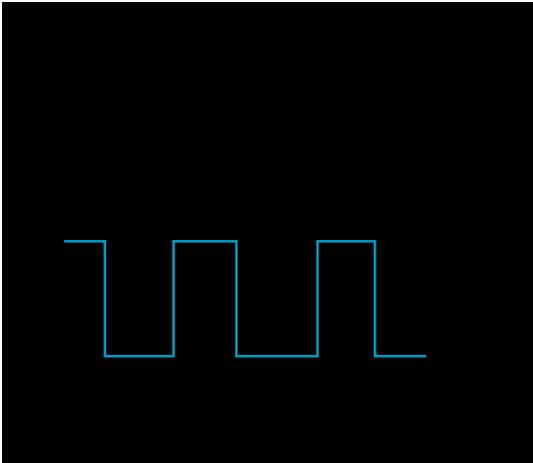
En tal caso, se debería primero –mediante un circuito analógico adecuado– trasladar los niveles de tensión de dicha senoide a valores que se encuentren comprendidos dentro del rango de la tensión de alimentación de la compuerta CMOS, a fin de que no la dañe.

Uso como supresor de ruido. Si la señal de entrada a una compuerta CMOS contiene ruido, entonces, es posible que se procese erróneamente la información. Una manera de aumentar la inmunidad al ruido –como ya vimos– es emplear una compuerta con entrada tipo *Schmitt Trigger*.

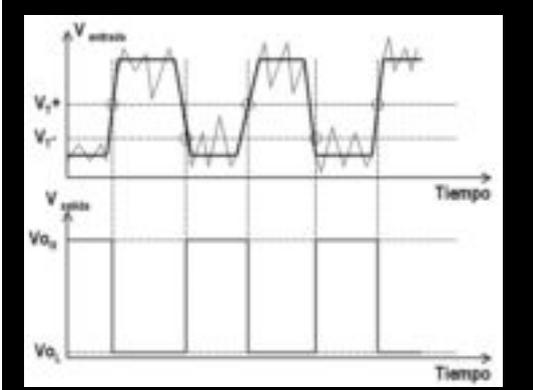
En las siguientes figuras vemos el comportamiento de un inversor; primero, para el caso en que la señal sea normal y, luego, para una entrada que tiene asociado un ruido.



Conversión de una señal sinusoidal a digital



Respuesta temporal de un inversor con Schmitt Trigger ante una señal sinusoidal



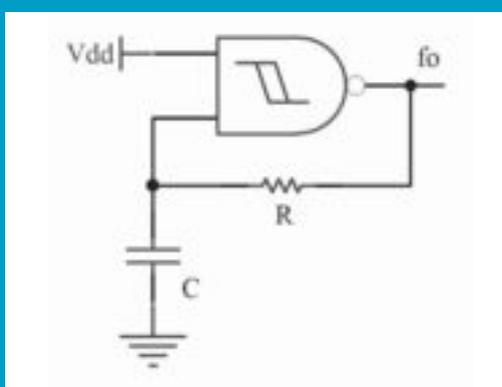
Uso como multivibrador astable. Otra de las aplicaciones que puede tener una compuerta con entrada tipo disparador de Schmitt es como multivibrador astable.

Un **multivibrador astable** es un oscilador cuya frecuencia de oscilación depende, en este caso, de las características internas del dispositivo, así como de los valores externos de resistencia y capacidad.

En la siguiente figura vemos un circuito implementado con una compuerta *nand* CMOS con entrada tipo *Schmitt Trigger*. El circuito está formado, en este caso, por una compuerta *nand*¹⁸ con entrada *Schmitt Trigger*, un capacitor y una resistencia.

La idea es poner una de las patas de entrada de la compuerta a V_{DD} y conectar la otra a la tierra V_{SS} , a través de un capacitor C .

La resistencia R sirve para que el capacitor pueda cargarse o descargarse a tierra, limitan-



Oscilador basado en *nand* tipo Schmitt Trigger

¹⁸Recordamos que, en compuertas tanto *and* como *nand*, si una o varias entradas se conectan a V_{DD} , no contribuyen más en la función lógica, es decir no tienen efecto alguno. Para el caso de una *nand* de 2 entradas, si ponemos una de

do la corriente de circulación. Se coloca entre la salida y la entrada activa de la compuerta¹⁹.

Si, inicialmente, suponemos que la salida está en estado alto y el capacitor totalmente descargado, tenemos que la entrada es de 0 V. En estas circunstancias, C comienza a cargarse con la corriente que le suministra la salida de la *nand*.

Este proceso de carga dura hasta que la entrada alcanza el valor de V_{T+} . El tiempo que se tarda en alcanzar este valor depende, en principio, de la constante de tiempo $R \cdot C$. A mayor valor del producto $R \times C$, mayor es el tiempo en que la salida está en el nivel alto (aquí, este tiempo está designado con T_2).

Al llegar a este valor, la entrada interpreta esto como que debe cambiar la salida al estado bajo. Al pasar, ahora, V_{salida} a 0 V, el capacitor (que ha quedado cargado con una tensión igual a V_{T+}) comienza a descargarse a través de la resistencia R por la salida de la *nand* y, de allí, a tierra (en este estado lógico, el transistor activo es el NMOS).

Este proceso dura hasta que la tensión de entrada (o la del capacitor, que es lo mismo) llegue hasta el valor V_{T-} . En ese valor, la entrada interpreta que debe poner la salida a un nivel lógico alto. Al hacerlo, ahora el capacitor empieza a cargarse nuevamente, repitiéndose indefinidamente este ciclo.

ellas a V_{DD} , el circuito responde igual que un inversor (una entrada y la salida que la hegará).

¹⁹Este circuito podría, también, implementarse con un inversor *Schmitt Trigger* como el CD40106. La ventaja que se puede tener utilizando una compuerta *nand* como la CD4093 respecto de un inversor, es que se puede utilizar la pata que no se usa como un habilitador de oscilación (entrada de *Enable*).

El resultado, es una oscilación permanente, de tal forma que la salida tiene una onda cuadrada de amplitud pico a pico cercana a los 5 V.

Esta frecuencia de oscilación depende de R, C, V_{T-} , V_{T+} y V_{DD} . R y C son componentes externos y pueden modificarse a voluntad. V_{T-} y V_{T+} son parámetros internos a la compuerta, que dependen de V_{DD} ; si bien no pueden modificarse, su valor absoluto –al estar relacionados con V_{DD} – puede cambiarse, variando la tensión de alimentación.

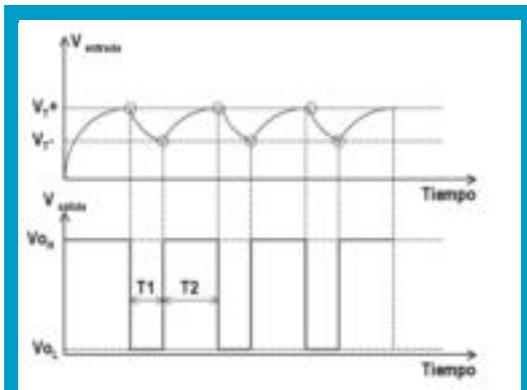


Diagrama de tiempos mostrando la evolución de la salida del circuito configurado como oscilador

Aquí, el período total de oscilación es la suma de T1 y T2. Su inversa es la frecuencia de oscilación.

La fórmula que vincula la frecuencia de oscilación con estos parámetros es:

$$f_o = \frac{1}{R \cdot C \cdot \ln \left[\left(\frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} \right) \cdot \left(\frac{V_{T+}}{V_{T-}} \right) \right]}$$

Donde:

- f_o es la frecuencia de oscilación, medida en [Hz].
- $\ln(\)$ es el logaritmo neperiano (en base $e = 2,7172$).

- R es la resistencia de realimentación entre entrada y salida, expresada en [Ω].
- C es la capacidad externa, expresada en [F].
- V_{DD} es la tensión de alimentación, expresada en [V].
- V_{T+} es la tensión umbral de disparo cuando la entrada tiene una transición positiva (ascendente), expresada en [V].
- V_{T-} es la tensión umbral de disparo cuando la entrada tiene una transición negativa (descendente), expresada en [V].

A partir de esta fórmula se puede observar que, cuanto más grande sea el producto $R \times C$, menor será la frecuencia de oscilación; y, viceversa.

Los límites de trabajo están dados por la selección de los componentes y por la limitación de velocidad de la misma compuerta.

Si pretendemos obtener una frecuencia elevada, en principio debemos lograr que el producto $R \times C$ sea pequeño.

La resistencia R se puede disminuir hasta cierto punto, ya que ésta limita la corriente que circula no sólo por el capacitor sino por la salida de la compuerta.

Esta corriente no debe superar el miliampere, a fin de evitar sobrecargar la salida y dañarla.

La capacidad C se puede disminuir; inclusive, hasta hacerla nula (sólo queda la resistencia conectada). Uno podría pensar que, de esta manera, la frecuencia sería infinita; pero, en realidad, toda entrada CMOS tiene una capacidad parásita de alrededor de 7,5 pF. Es éste el límite inferior de C.

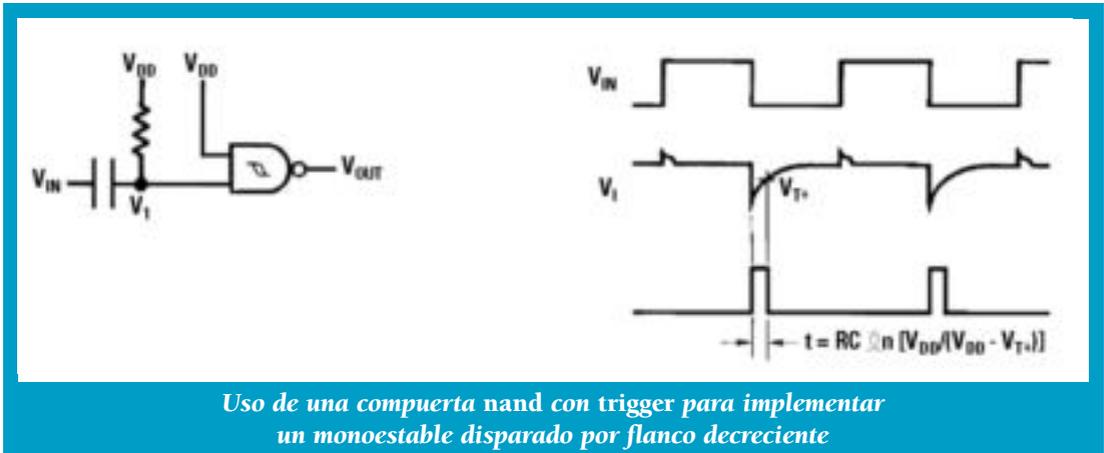
Si pretendemos tener una frecuencia muy baja (por ejemplo, de período de varios segundos), por el contrario, el producto $R \times C$ debería ser grande.

Una R grande –de varios megaohm– es factible de conseguir y utilizar.

Por el lado del capacitor, uno con capacidad grande –generalmente, del tipo electrolítico– suele presentar una resistencia de pérdidas elevada. Esto significa que el capacitor se irá descargando por dicha resistencia, limitando así la mínima frecuencia de oscilación (o, al revés, el máximo período que pueda lograrse).

Uso como multivibrador monoestable. Un circuito monoestable es un dispositivo que tiene una entrada y una salida. La entrada es sensible a un solo tipo de flanco de la señal (ya sea el ascendente o el descendente). Cuando lo recibe, la salida cambia de estado lógico durante un cierto tiempo de duración controlada.

En las siguientes figuras vemos el empleo de una compuerta CMOS CD4093 y componentes pasivos (una resistencia y un capacitor) para implementar dos monoestables; uno disparado por flanco ascendente y otro por flanco descendente.



Esta figura muestra un monoestable que detecta cuándo aparece un flanco descendente a la entrada. Como en el caso del oscilador, una de las entradas se pone a V_{DD} a fin de anularla.

El capacitor C está en serie con la entrada. Mientras no haya transiciones de la señal en la entrada V_{in} , el capacitor no tiene efecto sobre la entrada de la compuerta; ésta está en estado alto, debido a la resistencia conectada a V_{DD} .

Cuando aparece una transición de la señal con flanco ascendente (de estado bajo a alto), el capacitor se comporta instantáneamente como un cortocircuito, dejando pasar dicha variación de tensión.

Debido a que la tensión de entrada de la compuerta ya está con un valor cercano a V_{DD} , no sufre ningún cambio, salvo un pequeño pico –como muestra la figura–.

En cambio, cuando aparece un flanco des-

cedente en la entrada V_{in} (pasa del estado alto al bajo), la entrada de la compuerta pasa de V_{DD} a un valor bajo de tensión, ya que el capacitor se comporta en ese instante como un cortocircuito.

En esta condición, la salida de la compuerta pasa de nivel bajo al alto.

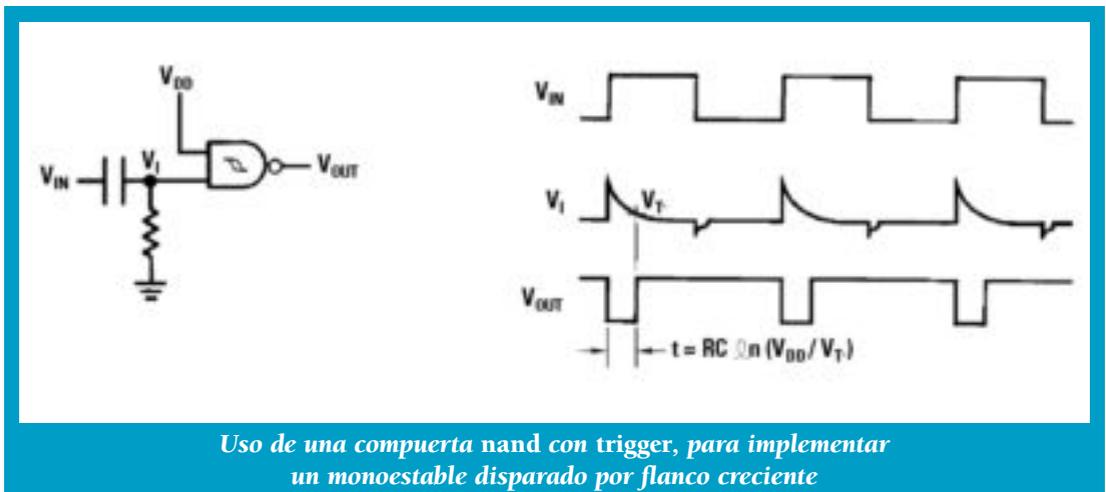
Si V_{in} se mantiene en bajo, el capacitor comienza a cargarse a través de la resistencia R .

Cuando el valor en la entrada de la com-

puerta supera el del umbral V_{T+} , la salida cambia de alto a bajo, nuevamente.

Como puede apreciarse el tiempo en que la salida está en nivel alto –generalmente, denominado en la bibliografía como T_w –, depende de R , C , V_{DD} y de la tensión umbral V_{T+} .

De manera similar, para lograr un monoestable que se dispare con flanco ascendente, se puede emplear el circuito de la figura siguiente:



Uso de una compuerta nand con trigger, para implementar un monoestable disparado por flanco creciente

Aquí, nuevamente tenemos el capacitor en serie; la resistencia, ahora, está con un borne conectado a tierra.

Cuando se aplica una transición positiva (flanco ascendente de la señal V_{in}), la tensión de entrada copia ese flanco, subiendo instantáneamente, lo que provoca que la salida que estaba en alto pase a nivel bajo.

El tiempo en que permanece en ese estado depende de cuánto tarde el capacitor C en descargarse a través de la resistencia R .

Cuando la tensión en la entrada de la compuerta cae por debajo de V_{T-} , la salida vuelve a pasar al estado alto.

En ambos circuitos, el tiempo T_w es directamente proporcional al producto $R \times C$.

10. TIPOS DE SALIDAS: NORMAL SIN BUFFER, NORMAL CON BUFFER, OPEN-DRAIN, TRI-STATE

Existen cuatro tipos de salidas ampliamente utilizadas en diversos dispositivos:

- Salida normal sin buffer –*Unbuffered Output*–.
- Salida normal con buffer –*Buffered Output*–.
- Salida de drenador abierto –*Open-Drain*–.
- Salida de tres estados –*Tri-state*–.

Salidas normales con y sin buffer.

Los circuitos que hemos analizado hasta ahora (*nor*, *nand* e inversor) son del tipo normal o estándar ya que no existe ningún circuito adicional a sus salidas.

La expresión **salida normal** se refiere a las salidas en las que se conectan los transistores PMOS en la rama superior y los NMOS en la rama inferior, de forma tal de generar la función lógica requerida.

Desde el inicio de CMOS, en el mercado electrónico han aparecido dos versiones diferentes de este tipo de salida denominadas salidas con buffer –*buffered output*– y salidas sin buffer –*unbuffered output*–. Esto ha dado lugar a controversias debido a que, desde el punto de vista de compatibilidad pin a pin (se refiere a la disposición física de los terminales), se pueden intercambiar chips con ambos tipos de salida, pero que tienen las mismas características de velocidad e inmu-

La forma de distinguir si un dispositivo CMOS de la serie 4000 es “con” o “sin” buffer, es a través de las letras incluidas al final de la sigla:

- CD4000B significa que el dispositivo tiene buffer a la salida.
- CD4000UB significa que no tiene buffer a la salida.

nidad al ruido, entre otras variables.

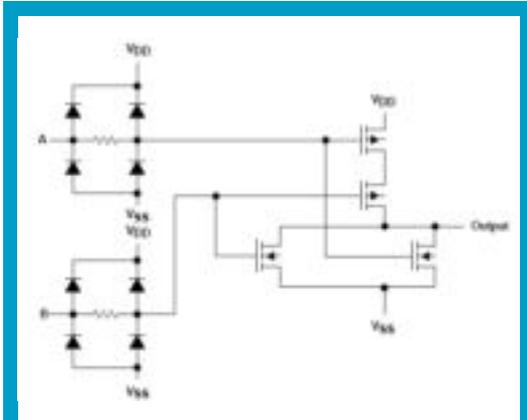
Se entiende por buffer, en general, a un circuito que se interpone entre la salida de otro circuito y la salida real del dispositivo. Los buffer pueden ser del tipo inversor (se usa un solo inversor) o del tipo no-inversor (usan dos inversores en serie).

Los buffer CMOS suelen estar integrados por inversores CMOS, formados con transistores PMOS y NMOS que pueden brindar mayor capacidad de corriente que una compuerta normal.

- Compuerta sin buffer es aquella que realiza una función lógica dada y que no tiene inversores conectados a su salida (Tal es el caso de las compuertas *nor* y *nand* a las que nos hemos referido).
- Compuerta con buffer es aquella en la que, luego del circuito que realiza la lógica, tenemos uno o más inversores en serie.

La respuesta de salida es mejor si se emplean las compuertas que tienen salidas con buffer que si se usan las que no lo tienen; es decir, mejora la inmunidad al ruido. El precio que se paga es el de una menor velocidad de respuesta.

¿Por qué aparecen las versiones de compuertas con buffer? Para explicarlo, vamos a analizar el caso del chip CD4001UB que es una cuádruple compuerta *nor* de 2 entradas cada una. Analicemos el circuito que aparece en la hoja de datos de este dispositivo.



Circuito de una de las 4 compuertas nor del chip CD4001UB

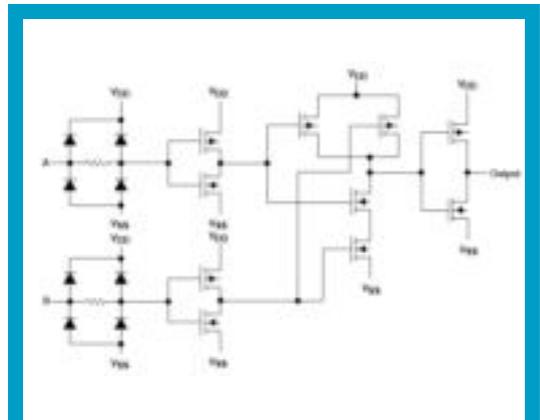
El circuito tiene dos entradas, A y B, que –antes de ir a los transistores PMOS y NMOS que realizan la función *nor*,– pasan por dos circuitos de protección contra descarga electrostática.

La salida –*output*– se obtiene directamente del punto medio de ambas ramas PMOS-NMOS. Esta salida se dice sin buffer –*unbuffered*–, debido a que no existe ningún circuito adicional en la salida.

En la siguiente figura vemos otro circuito, el CD4001B que sí tiene buffer. Se trata, también, de un integrado con 4 compuertas *nor* de 2 entradas cada una, pero en el que la salida proviene de un circuito inversor.

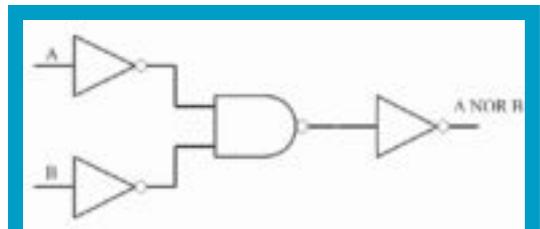
Nuevamente, las entradas A y B pasan por circuitos de protección contra sobretensión y, luego, por un inversor cada una.

La salida de cada inversor se conecta a una rama diferente de una compuerta *nand* y la salida de ésta termina en un tercer inversor cuya salida sí corresponde con la salida del conjunto.



Circuito de una de las 4 compuertas nor del chip CD4001B

Como hemos visto anteriormente, esta estructura funciona como una *nor*, ya que –aplicando el teorema de De Morgan–: una *nand* negando sus entradas forma una *or* y, si, a su vez, se vuelve a negar dicha *nand*, obtenemos una *nor*.



Implementación de nor para el CD4001B, basada en inversores y nand

Si se analizan las dos opciones, se puede ver que la segunda (la versión con buffer) es más compleja; con esto se puede inferir que su velocidad de respuesta será más lenta, ya que existen más componentes en cascada y, por lo tanto, más retardo generado entre las entradas y la salida.

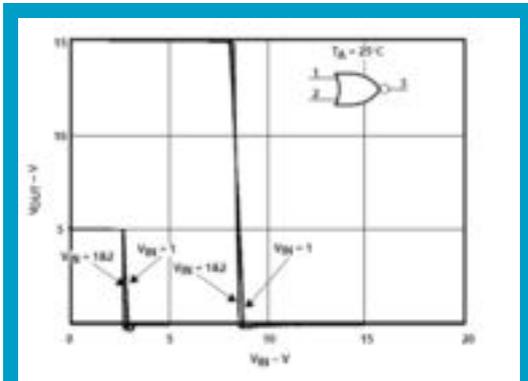
¿Por qué, entonces, existe esta versión con buffer? Para dar una respuesta, tenemos que

analizar cómo es el comportamiento del circuito en continua, es decir, con señal estática.

Para esto, levantamos la función de transferencia de la *nor* para dos condiciones diferentes de las entradas:

- uniendo las dos entradas –que llamamos “1” y “2”–, las que se conectan a “0” y a “1” lógico, alternativamente;
- poniendo la entrada “2” a tierra y llevando la entrada “1” a nivel lógico bajo y, después, alto.

Se obtiene, entonces, la función de transferencia –como se muestra a continuación–; ésta se da para dos valores de tensión de fuente: 5 V y 15 V.



Función de transferencia del CD4001B

En la función de transferencia se puede apreciar que tenemos dos curvas muy similares por cada valor de tensión de alimentación (cuatro curvas, en total).

Se identifican con “ $V_{IN} = 1 \ \& \ 2$ ” y “ $V_{IN} = 1$ ”.

- $V_{IN} = 1 \ \& \ 2$ significa que esa curva corresponde al caso en que varíen

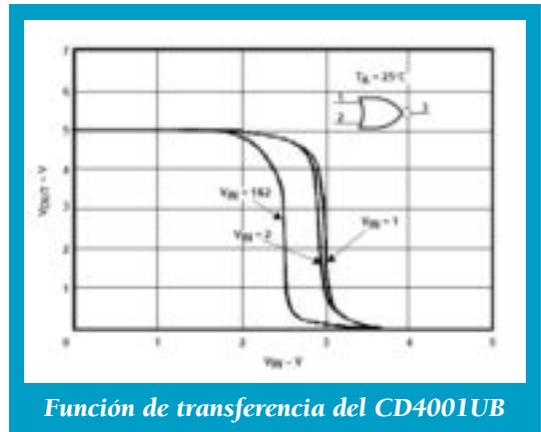
ambas entradas, de “0” a “1” simultáneamente.

- $V_{IN} = 1$, significa que la entrada “2” está a “0” lógico (no tiene efecto en la función) y la entrada “1” varía de “0” a “1”.

Para ambos casos, lo que se obtiene es un funcionamiento como un inversor: Si la entrada (o entradas) está (o están) a “1”, entonces la salida pasa a “0”; y, viceversa.

Hasta aquí no parece haber nada extraño.

Si, ahora, analizamos lo mismo pero para el caso del circuito CD4001UB (sin buffer), el comportamiento resulta diferente.



Función de transferencia del CD4001UB

Las pruebas son similares. Tenemos tres curvas diferentes:

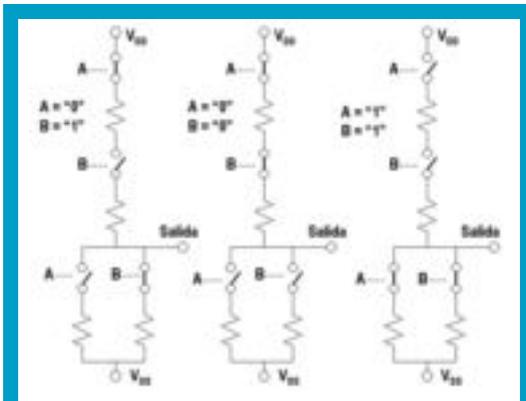
- Con “ $V_{IN} = 1 \ \& \ 2$ ” que corresponde al caso en que se unen las entradas “1” y “2”, y se cambia el nivel lógico.
- Con “ $V_{IN} = 2$ ” donde se varía la entrada “2” y se deja la entrada “1” en nivel bajo.
- Con “ $V_{IN} = 1$ ” donde se varía la entrada “1” y se deja la entrada “2” en nivel bajo.

Como se puede apreciar, las tres curvas son sensiblemente diferentes; en especial, para la primera combinación (ambas entradas unidas).

Estas diferencias son debidas a que, dependiendo de qué entradas están en "1" o en "0", habrá diferentes combinaciones de transistores PMOS y NMOS que estarán conduciendo. Por ejemplo, si ambas entradas están en "1", los dos transistores NMOS están conduciendo; en cambio, si sólo una de las entradas está a "1", sólo un transistor NMOS estará en conducción.

Esto implica que la resistencia total de la rama inferior será diferente y, por lo tanto, también la impedancia de salida de la compuerta.

En el primer caso (ambas entradas en "1"), la resistencia de la rama inferior será el paralelo de las R de los NMOS; es decir, $R/2$. En cambio, para el segundo caso (sólo una entrada en "1"), la resistencia será sólo R .



Esquematización con resistencias del funcionamiento de la nor sin buffer

Como resultado de esto, la función de transferencia es diferente, para distintas

combinaciones de las entradas.

Esto trae aparejado el problema de la inmunidad al ruido.

En el caso de la *nor* con buffer, la curva de transferencia V_{out} versus $V_{entrada}$ es simétrica; es decir, la tensión de entrada para la cual se da la transición de la salida de un nivel a otro es, más o menos, $V_{DD}/2$. En estas condiciones, el margen de ruido es similar, tanto para el estado bajo como para el alto.

En cambio, en la *nor* sin buffer, la curva de transferencia es simétrica sólo cuando, simultáneamente, cambian ambas entradas.

Como conclusión, la *nor* sin buffer tiene una inmunidad al ruido variable, igual o menor a la *nor* con buffer e impredecible –ya que depende que cómo evolucionan las entradas–.

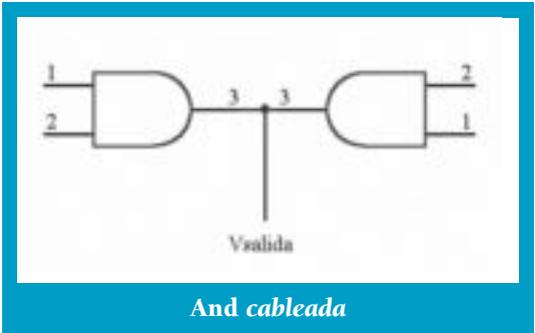
La ventaja de la *nor* sin buffer (CD4001UB) está en la respuesta en frecuencia que es superior a la *nor* que tiene buffer (CD4001B) debido a la menor cantidad de componentes en serie que deben atravesar las señales de entrada.

Salida de drenador abierto –Open-Drain–.

Un ejemplo en el que la salida normal –ya sea con o sin buffer– no funciona correctamente es en el caso en donde se requiere implementar una *and* cableada. Es el caso en el que se deben conectar juntas las salidas de dos dispositivos digitales diferentes a la entrada de aviso de interrupción de un microprocesador, a fin de llamarle la atención cuando se quiere interactuar con él. Para esto, es necesario efectuar una unión entre las salidas.

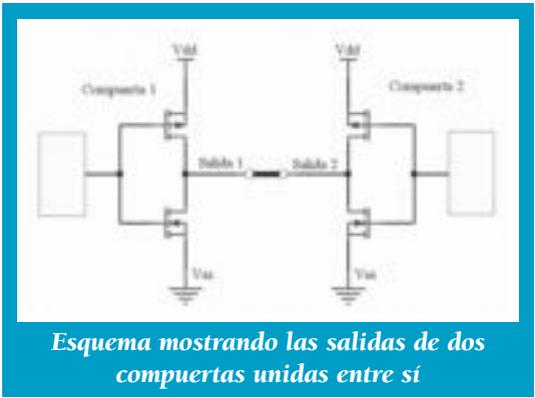
Una *and* cableada significa unir las salidas de dos dispositivos, para que la salida común que se genera tenga un nivel lógico alto sólo cuando las dos salidas estén en ese mismo valor lógico.

Si cualquiera de ellas se encuentra en estado bajo, la salida debe ir a ese nivel. En resumen, se implementa la función *and* denominada cableada, ya que se debe unir físicamente dichas salidas –por ejemplo, con una línea de circuito impreso–.



Si quisiéramos realizar esto con el tipo de salida visto hasta el momento, se nos genera el siguiente problema:

Supongamos que unimos dos compuertas cualesquiera que tengan salida normal para realizar la *and* cableada.

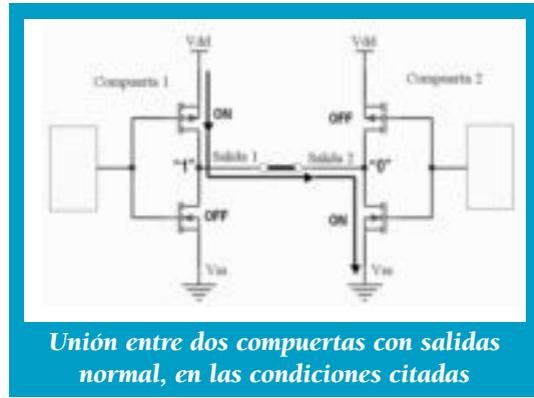


Si la compuerta de la izquierda lleva su salida a nivel alto y la de la derecha a nivel bajo –a través de las combinaciones adecuadas en sus respectivas entradas– tenemos, por un lado, que el transistor PMOS de la izquierda está activo mientras que el NMOS de ese mismo lado está cortado y, por el otro, que el transistor NMOS de la derecha está saturado mientras que el PMOS de ese lado no entra en conducción.

En tales circunstancias, existe un camino eléctrico entre dichas salidas por el cual, desde los +5 V de la fuente, circulará una corriente por el transistor PMOS de la izquierda y se drenará a tierra a través del transistor NMOS de la derecha.

Lo normal es que los PMOS y NMOS de una compuerta estén encendidos pero en diferentes estados –no como aquí, en que da esta condición simultáneamente–.

Si ocurre este caso, la corriente eléctrica será muy grande –ya que estará limitada, fundamentalmente, por la resistencia R_{ON} de cada transistor– y podría dañar permanentemente a ambos transistores.

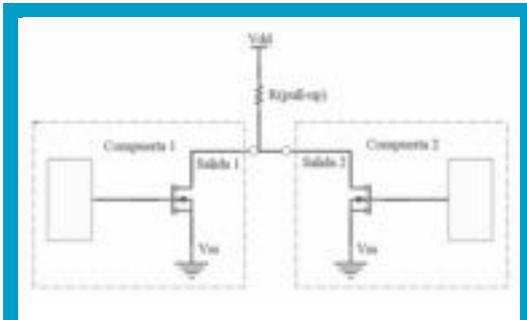


Para solucionar este problema, se han diseñado compuertas donde la salida consta solamente de un transistor: el inferior –o sea, el NMOS–.

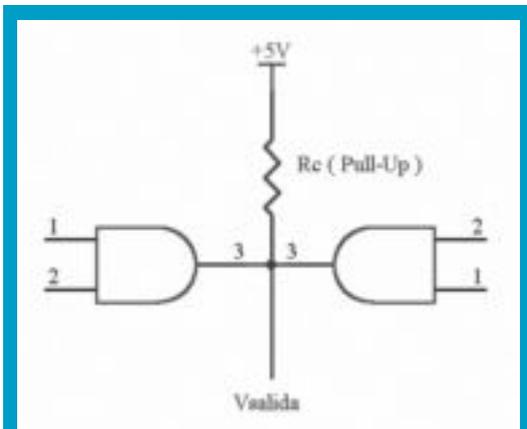
Esta salida tiene accesible el drenador de dicho transistor para conectarle una resistencia como elemento pasivo de *pull-up* –tirar para arriba–.

Con esta configuración, es posible interconectar varias salidas de compuertas que tengan este tipo de salida para realizar la *and* cableada.

En las siguientes figuras vemos dos ejemplos que simbolizan la interconexión de compuertas tipo *Open-Drain*.



Compuerta nand con salida tipo drenador abierto

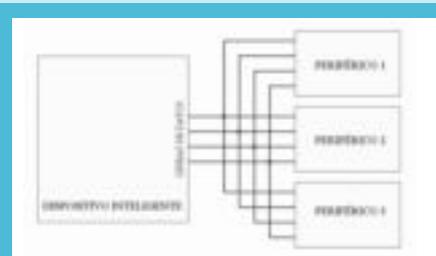


Compuertas nand con drenador abierto formando una and cableada

Salida de tres estados –Tri-state–. En ciertas aplicaciones –y, cada vez, con mayor frecuencia– se necesita que la salida de una compuerta o de un dispositivo más complejo adopte, aparte de los estados alto y bajo, un “tercer estado”.

Este estado es, en realidad, una desconexión de la salida física del chip del pin terminal.

Podemos imaginar esta necesidad si consideramos que existe un dispositivo inteligente –como puede ser un microprocesador– que tiene, digamos, 4 líneas denominadas “líneas de datos” o “bus de datos”; por ellas, en paralelo, puede escribir o leer información de otros dispositivos, como memorias que almacenan información.



Esquema de un dispositivo inteligente con comunicación con otros dispositivos; como se ve, el micro tiene sus 4 líneas de datos unidas en paralelo a las líneas de datos de otros 3 dispositivos (periféricos) que comandado por álgebra de Boole

En general, para que no haya conflicto alguno, el micro controla el flujo de la información que circula por esas líneas de datos. Cuando quiere enviar información, activa alguna línea de control avisando su intención. Del mismo modo, si quiere leer información desde algún otro dispositivo, lo hará con una línea adecuada a tal fin.

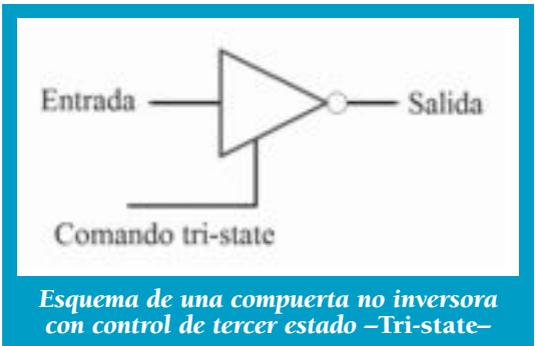
Para que todo sea ordenado, el micro sólo debe conectarse con un dispositivo a la vez; es decir, si quiere leer algo, selecciona, primero, el dispositivo y, luego, le ordena a éste que presente sus datos a las líneas de datos. Para escribir, el micro hace lo mismo: selecciona un solo dispositivo y, mientras le avisa que quiere mandarle datos, pone en las líneas de datos la información correspondiente.

En el caso de que el micro quiera escribir algo en ese bus de datos, lo peor que puede pasar es que todos los dispositivos lean lo mismo. Pero, si bien esto no es lo querido, tampoco generaría ningún problema eléctrico.

En cambio, si es al revés, el problema puede ser grave. Si el micro quiere leer y hay más de un dispositivo conectado queriendo escribir algo, pasará algo similar a lo planteado con el problema de la *and* cableada: Si un dispositivo manda un “1” y otro un “0”, algo se va a quemar.

Para evitar este tipo de problemas, se crea la salida con un tercer estado adicional.

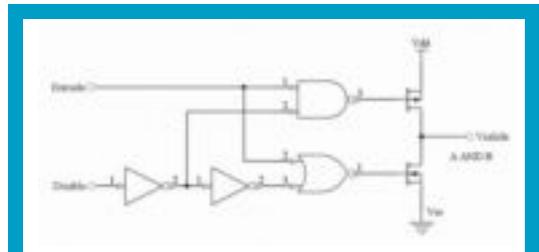
Cada uno de los dispositivos periféricos que mencionamos en este ejemplo tiene la habilidad de desconectar sus salidas de ese bus de datos, cuando lo pide el micro, a través de una línea denominada de **comando Tri-state**.



Sabemos que una salida típica CMOS consta de 2 transistores, uno PMOS y otro NMOS, los que generalmente están en un estado de conducción opuesto entre sí. Si se puede lograr –con alguna entrada adicional de control– que ambos estén cortados, idealmente la impedancia que se mediría entre el pin de salida y la fuente de V_{DD} sería infinita, al igual que la impedancia medida entre esa salida y la tierra.

Esto equivale, entonces, a que el pin de salida quede flotante, sin potencial alguno de tensión.

La siguiente figura muestra una compuerta no inversora que tiene este tipo de salida. Existe, aquí –además de la entrada de datos– una entrada adicional de control que selecciona el estado de la salida, que se denomina *Disable* –deshabilitador–.



Compuerta no inversora con salida Tri-state

Para este caso, cuando la entrada *Disable* está en nivel bajo, la compuerta inversora funciona normalmente:

- la entrada de la *nand* asociada al inversor que le sigue a la entrada *Disable* tendrá un nivel alto; por esto, esa entrada de la *nand* no tendrá efecto alguno sobre su propia salida;
- la entrada de la *nor* que se conecta a tra-

vés de dos inversores desde la entrada *Disable*, recibe un nivel bajo, por lo que, de igual manera, esa entrada de la *nor* no tendrá efecto sobre su propia salida.

En estas condiciones (con *Disable* en bajo), la compuerta del transistor PMOS, recibe la entrada negada (a través de la *nand*) al igual que la compuerta del NMOS (a través de la compuerta *nor*).

Por lo tanto, el circuito funciona como no inversor ya que, cuando la entrada está en nivel bajo, la compuerta del PMOS estará a nivel alto y, entonces, quedará cortado. Del mismo modo, el NMOS estará en conducción, ya que la entrada de su compuerta recibirá también un nivel alto.

Pero, cuando la entrada de control vaya a nivel alto, ésta cortará simultáneamente a ambos transistores de salida, quedando la salida, por lo tanto, en estado de “alta impedancia”; es decir, en un tercer estado.

A menudo, este estado se denomina con la letra “Z”.

El circuito que acabamos de analizar es el correspondiente al CD4503B, séxtuple buffer no inversor con salida de tercer estado –3-state o *Tri-state*–.

La tabla de verdad que explica el funcionamiento de este dispositivo es:

<i>Disable</i>	Entrada	Salida
0	0	0
0	1	1
1	X	Z

Consideremos otro ejemplo de circuito inversor que tiene la posibilidad de tener una salida con tercer estado y que es más simple que el anterior.

Al igual que antes, aparte de la entrada de datos, tenemos otra entrada de control denominada aquí *habilitación –Enable–*. El circuito consta de una salida formada por dos PMOS y dos NMOS.

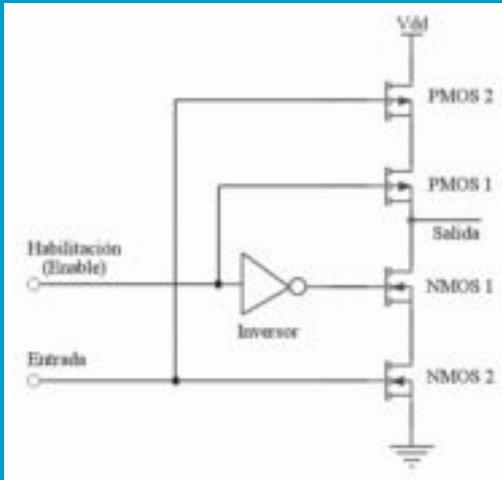
Un inversor –formado, a su vez, por un PMOS y un NMOS (que no se muestran, a fin de no complicar el esquema)– controla las compuertas del NMOS 1 y el PMOS 1 que se unen para formar la salida.

Cuando, en la entrada *Enable* tenemos un nivel lógico bajo, en la compuerta del NMOS 1 aparece un nivel alto de tensión y, en la compuerta del PMOS 1, un nivel bajo de tensión, que conducen en estas condiciones.

El estado lógico de la salida depende de cuánto vale la entrada. Si la entrada está a nivel alto, entonces el NMOS 2 conduce y PMOS 2 estará cortado; así, tenemos que ambos NMOS conducen y la salida pasa al estado lógico bajo. De igual manera, si la entrada va al nivel bajo, ambos PMOS conducen, mientras que el NMOS 2 está cortado y la salida tendrá un nivel alto.

Por el contrario, si la entrada de control *Enable* está a nivel alto, la tensión en la compuerta del NMOS 2 es baja y la del PMOS 2 alta; así, sin importar qué pasa con los transistores NMOS 1 y PMOS 1, ninguno de los transistores asociados con el inversor conducen.

La salida, entonces, presenta una muy alta



Otro circuito de inductor Tri-state

impedancia de salida respecto a V_{DD} y a V_{SS} .

Si se mide la impedancia entre la salida y V_{DD} , por un lado, y entre salida y V_{SS} , se tienen valores muy altos de resistencia, lo que equivale a decir que la salida ha quedado desconectada, tanto de la tensión de alimentación V_{DD} como de la tierra V_{SS} .

Como se puede observar, es posible construir otros dispositivos que tengan la salida de tercer estado, utilizando nuevamente el inductor con los dos transistores NOS y PMOS intercalados entre la salida, y los transistores PMOS y NMOS que formen la función.

Otros circuitos integrados CMOS de la serie CD4000 que contienen este tipo de salida son:

- CD4502B séxtuple *buffer* inductor con salida *Tri-state* y entrada *Stroke*.

- CD4043B cuádruple *latch nor* con *Tri-state*.
- CD4044B cuádruple *latch nand* con *Tri-state*.

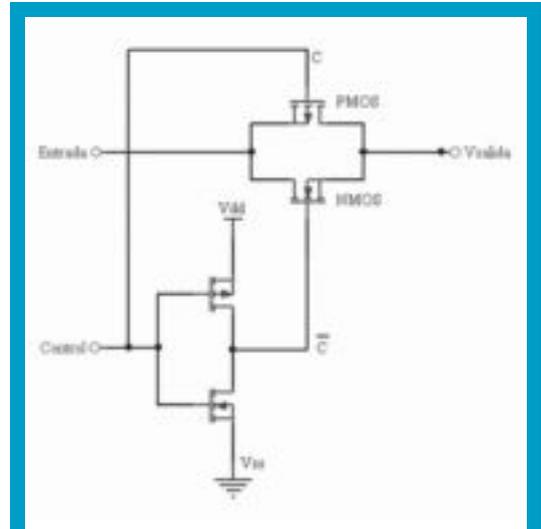
11. COMPUERTA DE PASO –*PASS-GATE*–

Una de las ventajas de CMOS frente a otras tecnologías como la TTL, es que –debido al empleo de transistores MOS (de alta impedancia de entrada)– se pueden utilizar ciertos circuitos relativamente simples que ayudan en la construcción de dispositivos complejos.

Tal es el caso de la compuerta de paso –*Pass-Gate*–.

Ésta se basa en el empleo de sólo dos transistores, uno NMOS y el otro PMOS.

Controlando adecuadamente las tensiones de sus compuertas, es posible implementar una llave electrónica que tiene varios usos interesantes:



Circuito de una llave de paso –*Pass-Gate*–

Como usted puede ver, los dos transistores marcados con NMOS–PMOS se conectan en paralelo. Un circuito inversor polariza convenientemente sus compuertas.

Cuando la entrada “Control” está a nivel bajo o “0” lógico, el PMOS recibe una tensión de bajo nivel de tensión (en teoría, igual a V_{SS}) y el transistor NMOS una tensión de alto nivel de tensión (teóricamente, V_{DD}). En estas condiciones, ambos transistores entran en conducción. Por lo tanto, existe un camino de baja resistencia eléctrica entre los bornes denominados “Entrada” y “Salida”.

Contrariamente, si la entrada “Control” está a nivel alto, los transistores NMOS y PMOS reciben en sus compuertas tensiones que no los dejan entrar en conducción. De esta manera, existe una resistencia de muy alto valor entre los bornes “Entrada” y “Salida”.

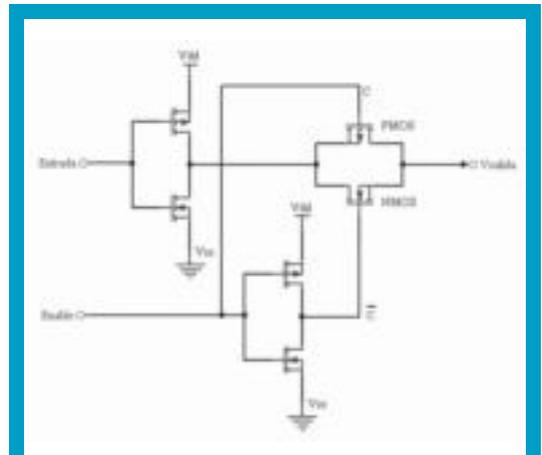
Lo interesante de este esquema es que esta llave electrónica comandada por una entrada digital de control, es bidireccional; es decir que, en realidad, la señal puede tener cualquiera de los dos sentidos de circulación (izquierda a derecha o viceversa). Los bornes “Entrada” y “Salida” pueden ser usados indistintamente como una u otra función.

Son varias las aplicaciones que tiene este tipo de compuerta. Mencionamos tres de ellas, que resultan las más importantes:

- Diseño de dispositivos *Tri-state*.
- Diseño de multiplexores.
- Diseño de circuitos secuenciales.

Diseño de dispositivos *Tri-state* basados en compuertas *Pass-Gate*. Dado que una

compuerta de paso se comporta como una llave controlada electrónicamente por una entrada CMOS, es fácil implementar dispositivos que puedan disponer de una salida de tercer estado:

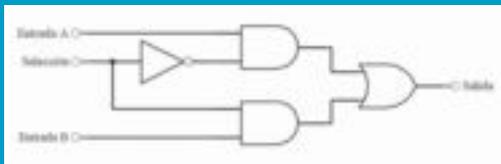


Inversor con salida *Tri-state* basado en el uso de compuerta de paso

Simplemente, entre la salida del inversor y la salida definitiva, se debe conectar una compuerta como la descrita.

Este esquema puede extrapolarse fácilmente a cualquier otro dispositivo CMOS, permitiéndole sumar la habilidad de que su salida pueda llevarse al estado de alta impedancia.

Diseño de multiplexores basados en compuertas *Pass-Gate*. Un multiplexor *-multiplexer*; en forma abreviada *mux-* es, básicamente, un selector de canales; tiene varias entradas y una única salida. Mediante dos o más entradas de selección, se puede seleccionar cuál de las N entradas se conecta a la salida (el resto de las entradas queda desvinculado).



Multiplexor de 2 entradas y una salida (denominado, generalmente, mux 2:1)

Un multiplexor tradicional 2:1 consta de una *compuerta or* de 2 entradas; cada una de ellas se encuentra relacionada con una entrada de datos A o B.. Entre cada entrada del mux y una entrada de la *or* se interpone una *compuerta and* de 2 entradas.

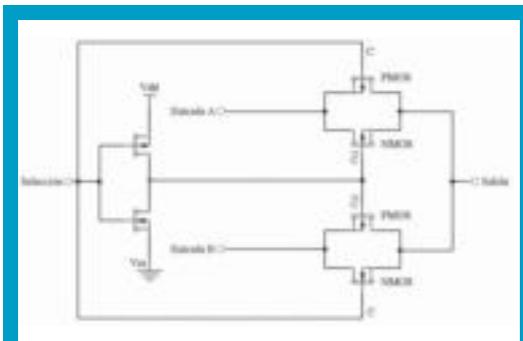
Con la ayuda de un inversor se pueden obtener dos estados lógicos opuestos de tal forma que, conectando la entrada denominada “Selección” a la pata libre de una *and* y la salida del inversor a la otra pata libre de la otra *and*, es posible establecer un camino directo entre las entradas y la salida, pero de a una por vez.

En el ejemplo, cuando “Selección” está en nivel alto, la *and* inferior deja que la entrada B se comunique con la salida. Por el otro lado, la *and* superior tiene un nivel bajo en una de sus entradas, lo que impide que el dato de A llegue a la salida.

Si, ahora, la entrada de selección está a nivel bajo, ocurrirá lo contrario; se permite que la entrada A se vincule con la salida.

Como se puede observar, la implementación de este mux simple –ya que tiene sólo dos entradas de datos– está formada por 4 compuertas. En total se requieren de 20 transistores MOS para implementar el circuito completo.

Otra opción es la de emplear el circuito que se ve a continuación:



Mux 2:1 implementado con compuertas Pass-Gate

Está formado por dos llaves de paso y un circuito inversor. Las entradas de señal, denominadas A y B, se conectan a cada una de las llaves por un extremo. El otro extremo de estas llaves se une para formar la salida.

El inversor se encarga de generar dos niveles de tensión siempre opuestos (alto y bajo).

La llave de arriba sólo puede conducir cuando ambos transistores NMOS y PMOS están correctamente polarizados. Eso ocurre cuando $C = "0"$ y $C \text{ (negado)} = "1"$. La llave de abajo, por el contrario, conduce cuando $C = "1"$ y $C \text{ (negado)} = "0"$.

A través de la entrada “Selección” se puede, entonces, elegir cuál de las dos entradas se comunicará con la salida.

Como podemos deducir fácilmente, requerimos sólo 6 transistores –en lugar de los 20– para imple-

En tecnologías como TTL no se tiene este tipo de ventaja. La implementación de un

mentar el mux con la forma tradicional.

Sumado a eso, en tecnología TTL la construcción de sólo una compuerta *and* de la serie LS lleva, en promedio, 10 transistores bipolares, 6 diodos y 12 resistencias.

MUX sencillo como éste requiere usar las compuertas que planteamos en la primera alternativa.

Sumado a eso, en tecnología TTL la construcción de sólo una compuerta *and* de la serie LS lleva, en promedio, 10 transistores bipolares, 6 diodos y 12 resistencias.

Una ventaja adicional que tiene este tipo de estructura basada en el empleo de compuertas de paso

es que el dispositivo analizado puede ser bidireccional; se convierte, entonces, en un demultiplexor *–Demultiplexer, demux–*. Esto significa que la salida puede ser usada como entrada y las entradas como salidas. De esta manera, es posible usar el circuito como un selector de señal de dos vías: Una misma fuente puede enviarse por una ruta u otra, dependiendo del estado lógico de la entrada de control “Selección”.

Una ventaja más. Siempre que nos limitemos a respetar los niveles de tensión de trabajo de CMOS (entre V_{SS} y V_{DD}), nada nos impide *–por ejemplo, en el modo mux–*, inyectar por las entradas A y B señales que sean diferentes a dos valores de tensión cercanos a V_{DD} o a V_{SS} .

Esto quiere decir que, si usamos el mux con alimentación de, por ejemplo, $V_{DD} = 10\text{ V}$, las señales de entrada pueden ser sinusoides, ondas triangulares, algo tan arbitrario como una señal de voz convertida eléctricamente por un micrófono, etc.

Entonces, ahora, nuestro mux puede ser usado no sólo como selector de canales de señales digitales sino de señales analógicas.

Un uso interesante para este segundo tipo de señal es el de digitalizar más de una señal analógica con un convertor analógico-digital (generalmente, conocido por las siglas ADC *–Analog-to-Digital Converter–*. Para ello, se conecta la salida de nuestro mux a la entrada analógica de un convertor ADC. Con esto podemos convertir, primero, una señal analógica proveniente del canal A y, luego, otra del canal B. Es por esta razón que a este tipo de mux también se lo llama **selector analógico de señales**.

Diseño de circuitos secuenciales basados en compuertas *Pass-Gate*. Un circuito secuencial es aquél cuya salida *–o cuyas salidas–* no sólo depende del valor de la entrada *–o de las entradas–* sino del estado lógico anterior de las salidas.

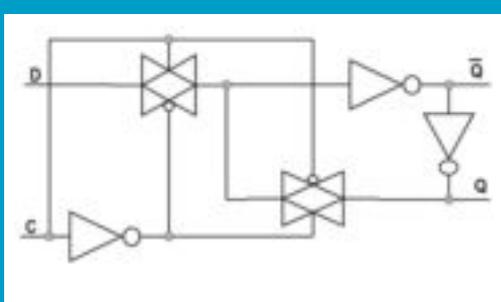
El componente básico de este tipo de circuitos es el *flip-flop* (FF).

Los *flip-flop* más conocidos son los tipo “D” y los tipo “JK”.

En la siguiente figura vemos un ejemplo de un *flip-flop* tipo “D”, que es disparado por nivel alto; es decir, dependiendo del estado lógico de una entrada *–aquí, denominada C–*, el dato en la entrada D pasa a las salidas Q y /Q (Q negada) o retiene las salidas con el último valor que tenían antes de desactivar la entrada. Para este caso, si $C = 1$, la salida copia a la entrada.

La tabla de verdad de este dispositivo es, entonces:

Entrada D	Entrada C	Salida Q	Salida /Q
0	1	0	1
1	1	1	0
X	0	Q anterior	/Q anterior

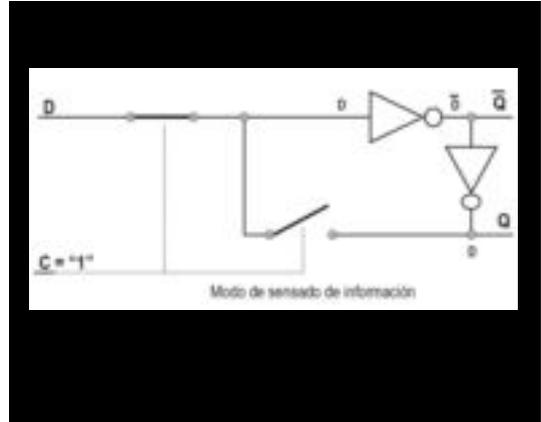


Implementación de un flip-flop tipo D disparado por nivel

Como puede observarse, este flip-flop “D” está basado en inversores y compuertas *pass-gate*. Cada inversor está formado por un PMOS y un NMOS.

Cuando $C = “1”$ lógico, de acuerdo con los niveles de tensión aplicados a los terminales de *Gate* en cada uno de los transistores que forman las compuertas de paso, la compuerta de la izquierda –que está directamente conectada a la entrada de datos “D”– se activa (se cierra); pero, la otra compuerta de pas, se encuentra inactiva (abierta). De esta forma, nos queda que la salida “/Q”, es la negación de la entrada “D”, ya que pasa primero por un negador.

En cambio, la salida “Q” es una copia de la entrada, ya que se niega dos veces a la entrada “D”. Este modo se llama de **seguimiento o sensado –sense–**, ya que la salida “Q” sigue cualquier variación de la entrada de datos “D”.

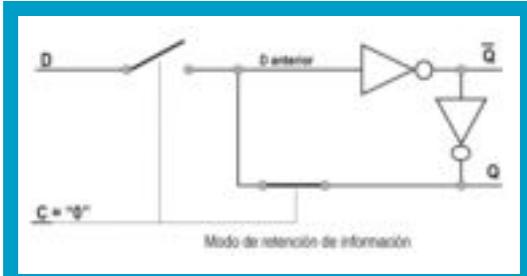


Si, ahora, pasamos la entrada “C” a un nivel lógico bajo, la situación de las llaves se invierte. La de la izquierda se abre y la de la derecha se cierra.

Como circuito equivalente nos queda el de dos inversores conectados entre sí formando un circuito realimentado. En estas condiciones, la salida “Q” adopta el último valor de la entrada “D” que haya tenido un instante antes de que la entrada de control “C” haya pasado a “0”. Por ejemplo, si el último valor que tenía el inversor superior antes de pasar “C” de “1” a “0”, ha sido el de “D” = “1”, la salida “/Q” queda en “0” y la salida “Q” en “1”, manteniéndose así estos valores mientras la entrada “C” siga en “0”.

Este modo de funcionamiento es de **retención –hold–**, ya que la salida mantiene el último valor de la entrada antes del cambio.

Este modo presenta, entonces, la propiedad de memorizar un evento de entrada, por lo cual se constituye en un circuito de memoria básico.



Circuito equivalente cuando C está en nivel alto

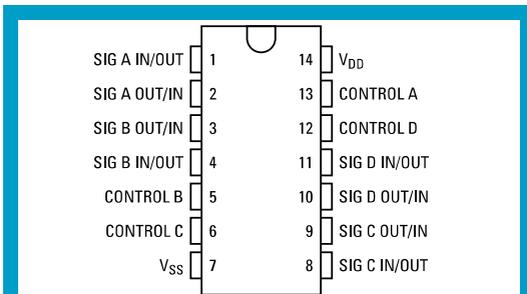
Ejemplos comerciales de dispositivos CMOS serie CD4000 que contienen compuertas de paso. Vamos a considerar dos ejemplos:

- CD4066B. Cuádruple llave CMOS bilateral.
- CD4051. Multiplexor/demultiplexor de 8 entradas (salidas) a 1 salida (entrada).

a. CD4066B. Cuádruple llave CMOS bilateral

Este circuito integrado de 14 pines contiene 4 llaves analógicas bidireccionales²⁰, cada una controlada por una entrada digital compatible con CMOS²¹.

La disposición de pines del chip es:



Esquema mostrando la disposición de pines

El significado de cada pin o pata es:

- SIG A IN/OUT: Entrada/Salida de señal A.
- SIG A OUT/IN: Salida/Entrada de señal A.
- Control A: Entrada de control de llave canal A.
- SIG B IN/OUT: Entrada/Salida de señal B.
- SIG B OUT/IN: Salida/Entrada de señal B.
- Control B: Entrada de control de llave canal B.
- SIG C IN/OUT: Entrada/Salida de señal C.
- SIG C OUT/IN: Salida/Entrada de señal C.
- Control C: Entrada de control de llave canal C.
- SIG D IN/OUT: Entrada/Salida de señal D.
- SIG D OUT/IN: Salida/Entrada de señal D.
- Control D: Entrada de control de llave canal D.
- V_{DD} : Entrada de tensión de alimentación positiva.
- V_{SS} : Entrada de alimentación de tierra o masa.

Cada llave tiene tres terminales:

- dos de datos “SIG -letra- IN/OUT” y “SIG -letra-OUT/IN”,
- uno de control del estado de la llave (encendida o apagada) denominado “Control -letra-“.

Sus características sobresalientes son:

- Rango de tensiones de entrada: V_{SS} a V_{DD} .
- Resistencia en encendido (R_{on}) típica para $V_{DD} = 5\text{ V}$, $R_{carga} = 10\text{ k}\Omega$ y a $25\text{ }^\circ\text{C}$: es de $470\ \Omega$.

²⁰Como las llaves pueden utilizarse indistintamente para que la entrada de señal pueda conectarse a cualquiera de sus dos bornes, se dice que son bidireccionales.

²¹El circuito real de este tipo de chip difiere del presentado aquí; pero no lo describimos para no complicar demasiado el desarrollo del tema y porque, en esencia, el principio es el mismo.

- Capacidad de entrada (C_{in}): 8 pF.
- Respuesta en frecuencia a -3 db: 40 MHz.
- Frecuencia máxima de señal digital aplicable a una entrada de control: 6 MHz.
- Tiempo de retardo de propagación típico para V_{DD} = 5 V: 20 ns.
- Niveles de tensión de entradas de control para V_{DD} = 5 V:
 - o Entre 5 V y 3,5 V para interpretar un “1” lógico.
 - o Entre 0 V y 1 V para interpretar un “0” lógico.

Cuando se diseña con **llaves CMOS**, se debe tener cuidado debido a que éstas distan de ser llaves ideales.

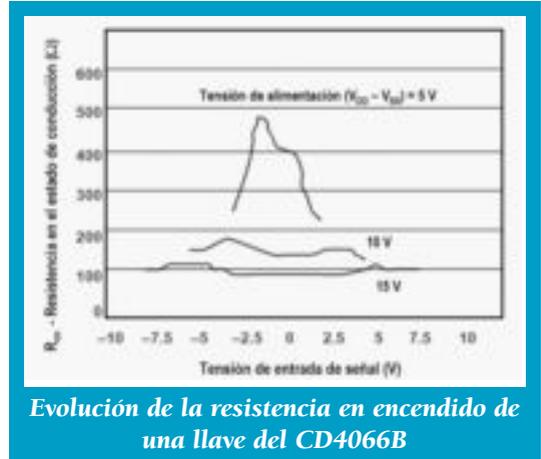
Por llave ideal se entiende aquella que tiene:

- Resistencia nula cuando está cerrada, e independiente de la tensión de entrada y de alimentación ($R_{on} = 0 \Omega$).
- Resistencia infinita cuando está abierta ($R_{off} = \infty$).
- Respuesta en frecuencia infinita (capacidad asociada con la llave nula).

Las llaves contenidas en el CD4066B, lamentablemente, no presentan una resistencia nula al estar cerradas sino que ésta tiene un valor de cientos de ohm y, además, varía con la tensión de entrada, con la temperatura y con la tensión de alimentación.

En el siguiente gráfico podemos ver cómo es el comportamiento de una llave cerrada (R_{on}) cuando se varía la tensión de entrada.

Aquí se muestran tres curvas que corresponden a diferentes valores de tensión de alimentación -Supply Voltaje “V_{DD}-V_{SS}”-: 5 V, 10 V y 15 V.



Aparecen valores negativos, ya que se puede conectar por ejemplo a V_{SS} con -5 V y a V_{DD} con +5 V, dando un total de 10 V entre V_{DD} y V_{SS}.

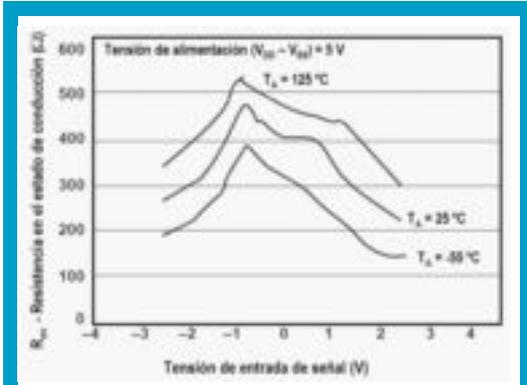
De esta manera, a cada llave se le puede ingresar una señal analógica de tensión pico a pico entre +5 V y -5 V.

Del gráfico se puede notar que la variación de la resistencia de una llave, cuando está cerrada, es menor cuanto mayor es la tensión entre V_{DD} y V_{SS}.

- Para 5 V, varía entre 220 Ω y 490 Ω aproximadamente.
- Para 10 V, entre 140 Ω y 180 Ω .
- Para 15 V, entre 100 Ω y 120 Ω .

Otro factor que hace variar a la resistencia de las llaves es la temperatura.

El gráfico corresponde al caso de tensión de alimentación V_{DD} - V_{SS} = 5 V. A mayor temperatura, mayor es el valor absoluto de la resistencia en encendido de cada llave.

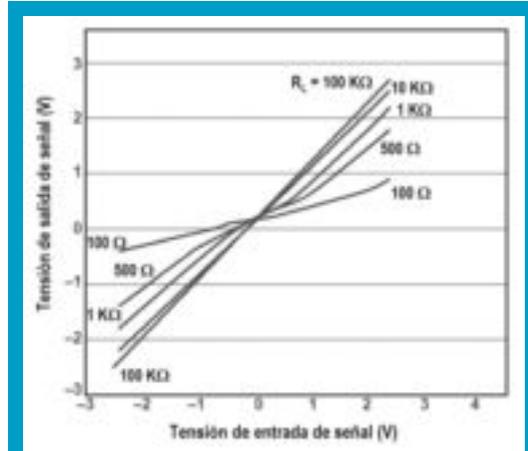


Variación de R_{on} con la tensión de entrada para diferentes valores de temperatura ambiente

Cuando se usa una llave de este tipo para conectar o no una señal a una carga, debemos pensar que, en realidad, al encender la llave estamos interponiendo –entre la fuente de señal y dicha carga– una resistencia R_{on} que es variable con la tensión de entrada.

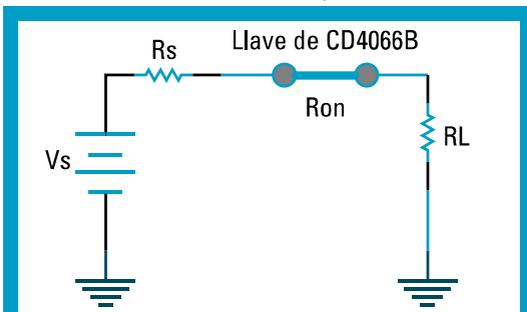
Además, entre la fuente de señal y la carga se forma en principio un divisor resistivo. Cuanto menor sea el valor de la resistencia de carga R_L mayor será el efecto que tenga la variación de la R_{on} de la llave.

A esto hay que sumarle el efecto que tiene la resistencia que suele presentar la fuente de señal (resistencia interna R_s).

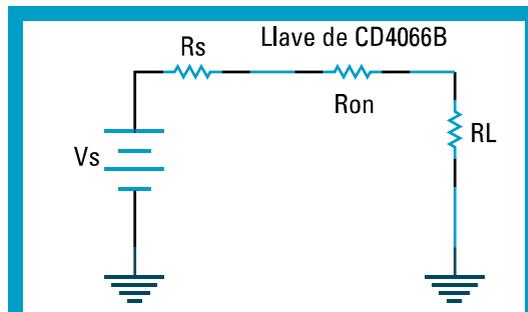


Función de transferencia “tensión de salida versus tensión de entrada” de la llave, cuando se carga con una resistencia R_L

Con una resistencia de carga de 100Ω , la salida dista mucho de seguir fielmente a la entrada. En cambio, cuando R_L es de $100 \text{ k}\Omega$, la curva es bastante lineal. Esto se debe a que, al ser R_L grande, las variaciones de R_{on} pasan desapercibidas en el divisor resistivo que se formó. En cambio, si R_L es de 100Ω , la resistencia R_{on} puede variar –como vimos– entre 220Ω a 490Ω , con lo cual la tensión de salida de la llave variará no sólo con la tensión de entrada sino con la variación de la resistencia de encendido de la propia llave.



Circuito eléctrico formado por la fuente (batería con su resistencia interna R_s), la llave cerrada y la carga R_L



Circuito equivalente, para el caso de la llave cerrada

En esta figura se puede apreciar que el divisor resistivo está formado por la serie R_S (resistencia interna de la fuente; en este caso, una batería), R_{on} (resistencia de la llave CMOS) y R_L (resistencia de carga).

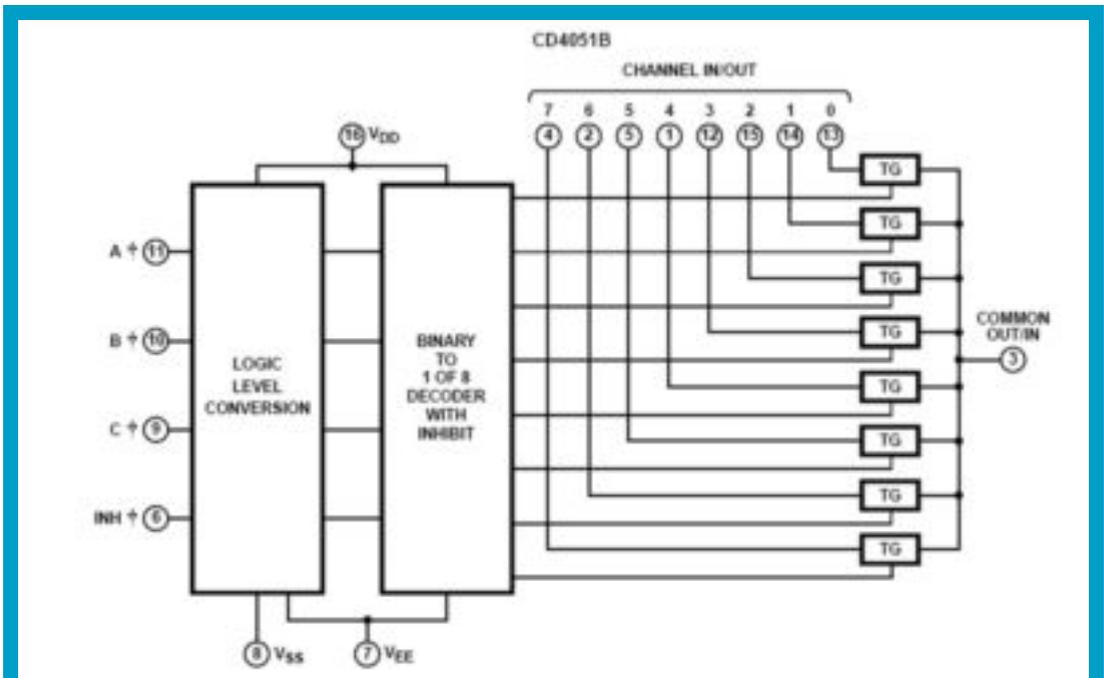
Idealmente, para un valor dado de R_L en los bornes de la carga quisiéramos tener la misma tensión de la fuente V_S . Por lo tanto, R_S y R_{on} deberían ser nulas. Pero, como no lo son, al menos habría que garantizar que sean constantes; así, la tensión en R_L siempre seguiría las variaciones de V_S .

Como hemos analizado, para un valor dado de la tensión de alimentación del chip ($V_{DD} - V_{SS}$) y de temperatura de trabajo, aún R_{on} varía con la tensión de entrada. Y, si R_{on} varía, también variará la corriente del circuito; y, por lo tanto, también la caída de tensión sobre la carga.

Para que esta variación en la carga tenga el menor efecto posible, la variación de R_{on} debería ser pequeña en relación con el valor de R_L ; es decir, digamos, R_L 10 veces superior a la máxima variación de R_{on} . Por ejemplo, si alimentamos con $V_{DD} = 10\text{ V}$, la variación de R_{on} es de unos $40\ \Omega$. Con una carga de $4\text{ k}\Omega$, dichas variaciones serían pequeñas.

b. CD4051. Multiplexor/demultiplexor de 8 entradas (salidas) a 1 salida (entrada)

Este circuito está basado, también, en el uso de compuertas de paso para implementar un multiplexor de 8 entradas y 1 salida, o un demultiplexor de 1 entrada y 8 salidas, dependiendo por dónde se inyecte la o las señales de entrada.



Esquema circuital del mux/demux 8:1-1:8

Se pueden apreciar los siguientes componentes:

- *Logic Level Conversion* –conversión de nivel lógico–. Tiene 4 entradas digitales. Tres de ellas (A, B y C) son para seleccionar cuál de las 8 llaves estará cerrada. La restante (INH) funciona como habilitación; es decir, puede abrir todas las llaves permanentemente.
- *Binary to 1 of 8 decoder with inhibit* –decodificador binario 1 de 8 con inhibidor–. Este bloque es un decodificador de formato binario a formato 1 a 8. Tiene 4 entradas (tres de datos y una de habilitación) y 8 salidas, cada una conectada al circuito de compuertas de los transistores que forman cada una de las compuertas de paso TG que funcionan como llaves. Cada una de las 8 combinaciones binarias posibles de formar con las entradas A, B y C, activa

una llave, y las demás quedan en circuito abierto.

- TG –compuerta de paso–. Funciona como llave bidireccional.
- *Channel In/Out* –canal de entrada/salida–. Terminal de entrada o salida, según se quiera utilizar como multiplexor o demultiplexor.
- A, B, C y D. Entradas digitales de selección de canal.
- INH –inhibidor–. Entrada digital de inhibición de canales.
- V_{DD} . Entrada de tensión de alimentación digital y analógica.
- V_{SS} . Entrada de tensión de alimentación digital.
- V_{EE} . Entrada de tensión de alimentación analógica.

La tabla de verdad que describe el funcionamiento del CD4051B:

Input States –Estado de entrada–				Canal On (S)
Inhibit –Inhibición–	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	x	x	x	<i>None</i> –Ninguno–

Cuando la entrada *Inhibit* está en “1” lógico, ninguna llave funciona (llave seleccionada: ninguna –none-) y la salida en el modo multiplexor o las

salidas en el modo demultiplexor estarán desvinculadas de las entradas o de la entrada, respectivamente.

Si *Inhibit* lo permite (estado lógico en “0”), sólo una de las 8 llaves se puede cerrar, dependien-

do del código binario dado por la combinación de las entradas A, B y C.

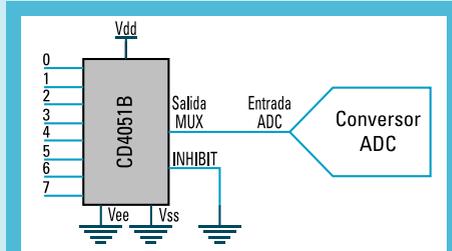
Se tiene una estación meteorológica con diferentes tipos de sensores que dan una señal analógica de tensión en función de diversas magnitudes físicas –presión atmosférica, temperatura, velocidad del viento, etc.

Se quiere digitalizar esas señales, a fin de almacenarlas en una memoria.

Como, en general, los conversores analógico-digitales tienen sólo una entrada, se emplea un multiplexor para poder realizar la tarea requerida de adquirir de a una señal por vez.

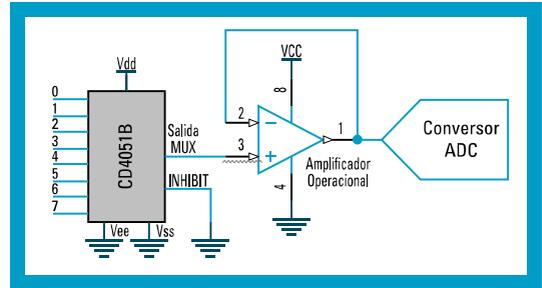
Veamos una respuesta para este problema.

La siguiente figura muestra una aplicación típica de este chip usado como multiplexor analógico, para seleccionar diferentes fuentes de señales a ser digitalizadas por un conversor analógico-digital.



Conexión entre un CD4051 usado como mux y un conversor analógico-digital

Cuando las exigencias de estabilidad de la salida del mux con la tensión de entrada son muy grandes (según lo analizado con la llave CD4066), suele interponerse un amplificador operacional entre la salida del mux y el conversor ADC; éste funciona como buffer (aislador de señal), a fin de que la impedancia de entrada del conversor no cargue la salida del mux²².



Precauciones en el uso de dispositivos CMOS

El problema de descargas electrostáticas (comúnmente denominado ESD) fue muy serio en los primeros dispositivos CMOS. Por esto, los fabricantes tuvieron que tomar medidas a fin de que no se dañaran los circuitos integrados.

Sabemos que una persona se puede convertir en un acumulador cargado de un alto potencial electrostático al caminar, por ejemplo,

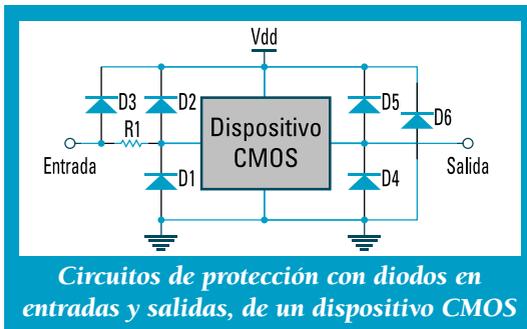
sobre una alfombra en un día de muy baja humedad ambiente, pudiendo generarse tensiones tan altas como 12.000 V. Lo mismo sucede con varios tipos de materiales, en especial con los plásticos: rozar los terminales de un chip CMOS puede generar tensiones de,

²²Recordamos que un amplificador operacional conectado como buffer presenta una impedancia muy alta a su entrada (en este caso, el mux) y, por otro lado, una impedancia muy baja a su salida (en este caso, del lado de la entrada del ADC).

por ejemplo, hasta 500 V. Mientras la tensión mínima de daño en un chip CMOS es de 250 V, en uno de tecnología TTL dicho valor asciende a 1.000 V.

Estos valores son estimativos y variables según la condición de humedad ambiente (un clima seco es más propicio a que se generen descargas mucho más elevadas).

Hoy, los chips suelen venir protegidos con diodos internos que limitan las posibles corrientes que se puedan generar al aplicar una carga estática de gran valor de tensión.



Aquí se puede notar cómo la entrada de este dispositivo –por ejemplo, puede ser un inversor– tiene los diodos denominados D1, D2 y D3, y la resistencia R1 –generalmente, de 200 Ω – para limitar la tensión y la corriente eléctrica que pudieran generarse en caso de que se le aplique accidentalmente una alta tensión de entrada (por ejemplo, varios cientos de volt a través de una descarga ESD).

El diodo cercano a la entrada (D3) es una primera barrera, mientras que los otros diodos protegen directamente a la compuerta, limitando la tensión a no más de 0,6 V por encima de la V_{DD} o 0,6 V por debajo de la de tierra V_{SS} . Los diodos D4 y D5 son intrínsecos del chip, provienen del proceso de

fabricación; el resto se debe agregar al diseño del circuito.

Los diodos restantes a la derecha son para proteger la salida ante una aplicación accidental de ESD en el pin correspondiente. Por último, D6 protege contra una tensión inversa en la fuente.

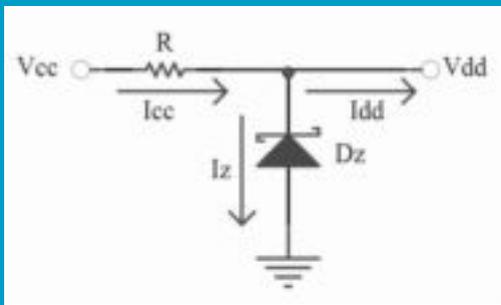
Si bien las tensiones de alimentación de un circuito integrado digital CMOS de la serie 4000 pueden variar desde los 3 V hasta los 18 V, los manuales recomiendan no superar los 15 V. Esto es para asegurarse que no vaya a producirse la destrucción del chip.

Si se está trabajando a una tensión de alimentación elevada (por ejemplo, 18 V) existe la posibilidad de que en ambientes ruidosos eléctricamente, se sume a ella una señal de tensión extra (el caso de ruidos eléctricos inducidos por acoplamiento inductivo) que puede generar el efecto denominado *tiristor* o *latch-up* –encendido–. Este mecanismo ocasiona que, por ejemplo, la entrada afectada haga un cortocircuito con la tierra (terminal V_{SS}), dañándola en forma permanente.

Las dos formas de evitar este tipo de problemas son:

- Trabajar con tensiones de alimentación que no superen los 15 V.
- Asegurarse que las entradas nunca excedan al valor de la tensión de alimentación.

Una manera práctica de evitar incrementos de tensión en la fuente de alimentación es la de proteger externamente a los chips con el siguiente circuito basado en un diodo zener:



Circuito de protección contra latch-up en la tensión de alimentación

- V_{DD} es la tensión que se debe conectar a los circuitos integrados.
- V_{cc} es la tensión que, generalmente, proviene de un regulador de tensión (por ejemplo, el integrado LM7805T).

La resistencia R se dimensiona adecuadamente a fin que pueda suministrar corriente a los circuitos integrados; lo mismo sucede con el diodo zener, que debe encargarse de regular la tensión de entrada V_{DD} .

Dependiendo del consumo total que se necesite en todo el circuito digital y el diodo zener seleccionado, se debe calcular el valor de la resistencia R , teniendo en cuenta que la

corriente I_{CC} que circulará por ella debe ser la suma entre las corrientes I_Z e I_{DD} .

Por ejemplo, si suponemos que la tensión de entrada de alimentación V_{CC} es de 20 V, la corriente máxima de consumo por los circuitos integrados y del diodo zener es igual a 5 mA y 1 mA, respectivamente, entonces:

$$R = (V_{CC} - V_{DD}) / (I_{DD} + I_Z)$$

$$R = (20 \text{ V} - 15 \text{ V}) / (5 \text{ mA} + 1 \text{ mA})$$

$$R = 5 \text{ V} / 6 \text{ mA}$$

$$R = 834 \text{ ohm}$$

Entonces, adoptamos un valor comercial cercano $R = 820 \text{ ohm}$.

Este procedimiento puede repetirse también en las entradas de circuitos CMOS.

Lo que es necesario tener presente es que se puede utilizar, en principio, en aquellas aplicaciones donde las entradas varíen a una velocidad relativamente lenta; es decir, de hasta algunas decenas de kHz, a fin de que el diodo zener pueda seguir trabajando en forma correcta ante los cambios en el nivel de tensión de la respectiva entrada.

Reglas para la manipulación de circuitos integrados CMOS

- Los dispositivos CMOS suelen empaquetarse dentro de sobres, vainas de material antiestático o insertando sus terminales en espuma conductora. Para retirarlos, tengamos la precaución de no tocar los pines con los dedos.
- Cuando los retiramos, deben colocar-

se sobre una superficie metálica con los terminales haciendo contacto sobre ella. Nunca ubicamos un circuito integrado sobre material de poliestireno o plástico.

- Todas las herramientas e instrumental de prueba están conectados a una tierra común.

- Es recomendable que el operador tenga una pulsera antiestática conectada en su muñeca y haciendo contacto a una tierra eléctrica a través de una resistencia de alto valor, a fin de protegerse ante un posible shock eléctrico en caso de que la tierra no esté perfectamente aislada de la tensión de alimentación domiciliaria (debido a fugas, conexión errónea, etc.).
- No insertamos dispositivos CMOS en un circuito impreso que tenga conectada la tensión de alimentación.
- En caso de querer retirar un chip CMOS de un impreso, nos aseguramos que la tensión de alimentación sea nula. Consideremos que algunas fuentes de alimentación tienen capacitores de filtrado de muy alto valor, por lo que después de retirar la tensión de alimentación pueden tardar varios segundos en descargarse.
- Todas las entradas de dispositivos CMOS (salvo especificación contraria por el fabricante) deben conectarse a algún nivel de tensión adecuado V_{DD} o

V_{SS} . Dejar terminales flotantes puede hacer que adquieran carga electrostática o que tomen por ruido inducido valores de tensión que hagan que el circuito funcione indebidamente.

- Los circuitos impresos con componentes CMOS que debemos guardar van a tener las entradas y salidas conectadas con resistencias de alto valor a algún terminal de alimentación (V_{DD} p V_{SS}).



Pulsera antiestática conectada a la placa de trabajo



Actividades para el aula 2.10

Va a resultar útil que sus alumnos busquen por Internet y en manuales los circuitos CMOS que tienen las siguientes características:

- Entradas con disparador de Schmitt.
- Salida con tercer estado.

También, que comparen las especificaciones que dan diversos fabricantes (*Fairchild*, *Motorola*, *National*, etc.).

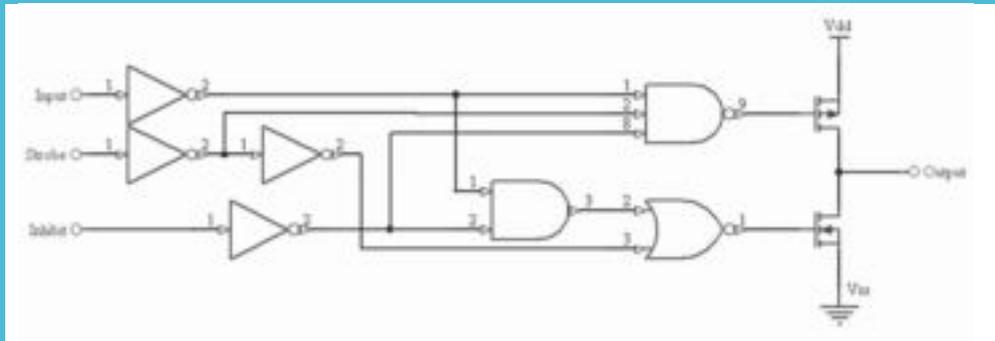




Actividades para el aula 2.11

Proponga a los estudiantes analizar el circuito del dispositivo CD4502B para

entender cómo funciona el control de tercer estado y la entrada *Strobe*.



Circuito del CD4502B

Los jóvenes pueden obtener la tabla de verdad del dispositivo y deducir cómo funciona.



Actividades para el aula 2.12

Propóngales implementar una compuerta *nand* y una *nor* que tengan salida de ter-

cer estado, usando los conceptos vistos en el caso del inversor.



Actividades para el aula 2.13

Supongamos que: *Se necesita medir señales desde un circuito digital a otro que están implementando los alumnos, para lo cual es necesario interconectarlos con un cable trenzado o coáxil; porque, se debe minimizar el riesgo de que un ruido electromagnético se induzca en él y genere errores en la aplicación.*

Para resolver esta situación, los alumnos proponen armar un circuito de prueba para el chip CD4093, por lo que comienzan caracterizándolo; sus tareas consisten en:

- a. Levantar la curva "tensión de salida versus tensión de entrada" aplicando una tensión variable desde V_{SS} (0 V) hasta V_{DD} y, luego, bajando desde V_{DD}

hasta V_{SS} (0 V), nuevamente. Para ello, deben ir variando la tensión en pasos de a 100 mV. El objetivo es que reconozcan el efecto de histéresis que tiene este tipo de entrada.

b. Inyectar una onda sinusoidal con valor medio igual a, aproximadamente, $V_{DD}/2$

y tensión pico a pico inferior a V_{DD} . Con el osciloscopio, analizar las formas de onda, tanto de la entrada como de la salida. El objetivo es que observen cómo pueden conformar una señal que no es cuadrada en otra que es digital.



Actividades para el aula 2.14

Plantee a su grupo de alumnos:

- Basándose en el circuito del oscilador R-C implementado con un CD4093, con la ecuación que vincula la frecuencia de oscilación y parámetros internos y externos de la compuerta, dimensionar los valores de R y C para que con 10 V de tensión de alimentación se pueda generar una frecuencia de 100 kHz.
- Implementarlo en una plaqueta de

pruebas tipo *Protoboard* o *Experimentor*.

- Reemplazar la resistencia por un potenciómetro²³ y observar en un osciloscopio cómo varía la frecuencia de oscilación.
- Desarrollar la misma tarea que en c., utilizando un capacitor variable *trimmer*.
- Realizar pruebas de medición de la frecuencia de oscilación, variando la tensión de alimentación a 5 V y 15 V.



Actividades para el aula 2.15

Sus alumnos pueden ensayar el circuito integrado CD40106 (séxtuple inversor con entrada *Schmitt Trigger*) para resolver el mismo proyecto que con el CD4093; pero, ahora, empleando un inversor en lugar de una compuerta *nand*.

- Según la hoja de datos del inversor CD40106, dimensionar los valores de R y C para que con 10 V de tensión de alimentación se pueda generar un oscilador con una frecuencia de 100 kHz.
- Implementarlo en una plaqueta de pruebas.



²³Le recomendamos poner una resistencia en serie con el potenciómetro, a fin de limitar la corriente que circulará

por la salida del integrado. Ésta debe ser de, al menos, 10 k Ω , para 10 V de tensión de alimentación.



Actividades para el aula 2.16

También pueden encarar el ensayo de las llaves analógicas CMOS del chip CD4066.

electrónica de señales analógicas comandadas con una entrada digital.

a. Comprobar que una compuerta de este tipo puede ser empleada como llave

b. Estudiando las hojas de datos, analizar el circuito que se obtiene.



Actividades para el aula 2.17

Usted puede plantear a los jóvenes el problema de interconectar la salida de un circuito CMOS a otro de tecnología TTL, donde el CMOS no tenga suficiente corriente para soportar esa entrada TTL. En este caso, se pueden usar el buffer inversor o no inversor, ya que estos buffers sirven para aquellos casos donde se requiera mayor capacidad de corriente de la que las compuertas normales pueden ofrecer.

- a. Obtener experimentalmente sus funciones de transferencia.
- b. De las hojas de datos, obtener los valores de tiempos de retardo de propagación.
- c. Analizar por qué razón el CD4050 tiene una velocidad de respuesta igual a la mitad que la del CD4049.
- d. A partir del análisis de las hojas de datos, precisar cómo pueden ser usados estos dispositivos para realizar la adaptación de lógica CMOS a TTL.

Dado el buffer inversor CD4049 y el buffer no inversor CD4050:



Actividades para el aula 2.18

Dado el chip CD4066 (séxtuple llave bidireccional CMOS):

analógicas.

a. Comprobar experimentalmente cómo funciona como llave digital.

c. Analizar la dependencia de la resistencia R_{on} con la tensión de entrada. Para ello, medir la corriente de salida con carga y levantar la curva $V_{entrada}$ vs

b. Lo mismo, pero inyectando señales

I_{salida}^{24}

²⁴Si la R_{on} fuera constante, debería dar una línea recta.

d. Comprobar la dependencia de la tensión de salida con la tensión de entrada para diferentes valores de resistencia de carga.

e. Comprobar la variación de la resistencia R_{on} con diferentes valores de

tensión de alimentación ($V_{DD} - V_{SS}$).

f. Utilizar una de las llaves para implementar otro dispositivo con salida *Tri-state* junto con una compuerta CMOS.

g. Comprobar la bilateralidad de las llaves CMOS.



Actividades para el aula 2.19

Dado el chip CD4052 (doble multiplexor-demultiplexor analógico de 4 entradas-salidas y 1 salida-entrada cada uno):

a. Comprobar experimentalmente su funcionamiento como mux y demux digital.

b. Lo mismo pero empleando señales analógicas.



3. MIGRACIÓN DE LA TECNOLOGÍA TTL HACIA CMOS

Familia lógica CMOS y tecnología TTL

Vamos a presentarle otra tecnología de circuitos integrados digitales; es la denominada TTL – *Transistor-Transistor Logic*; lógica transistor-transistor –.

Al acercarle sus lineamientos básicos, nuestros propósitos son permitirle:

- Comparar esta familia y la CMOS, a fin de seleccionar apropiadamente una u otra tecnología, según las especificaciones del diseño.
- Entender los cambios de los dispositivos CMOS de alta velocidad (serie 74HC/HCT y 74AC/ACT) que se utilizan en la actualidad.
- Realizar interfases entre este tipo de lógica y todas las series CMOS (CD4000 y de alta velocidad).

Inicialmente, la lógica TTL es la que predomina desde mediados de la década del '60; pero, al aparecer la tecnología CMOS se suma una nueva alternativa para el diseño de lógica digital. Porque, desde un comienzo, CMOS presenta ventajas sobre TTL: mayor margen de ruido y cargabilidad, y menor consumo, aún cuando su principal problema es el de la velocidad.

Al surgir CMOS, TTL ya está impuesta en el mercado internacional y la migración hacia

otra tecnología hubiera resultado algo muy costoso de afrontar; por otra parte, hacia fines de los '70, los avances en informática requieren cada vez mayor velocidad.

Texas Instruments es una de las primeras empresas en diseñar y en lanzar al mercado la lógica TTL –lógica transistor-transistor–, basada en el empleo de transistores bipolares, generalmente del tipo NPN, que trabajan sólo a corte o a saturación.

Esta primera familia lógica, denominada **TTL estándar** es empleada desde 1965 hasta 1985, año en el que se la reemplaza por versiones mejoradas que permiten conseguir dispositivos cada vez de menor consumo de potencia y de mayor velocidad de respuesta.

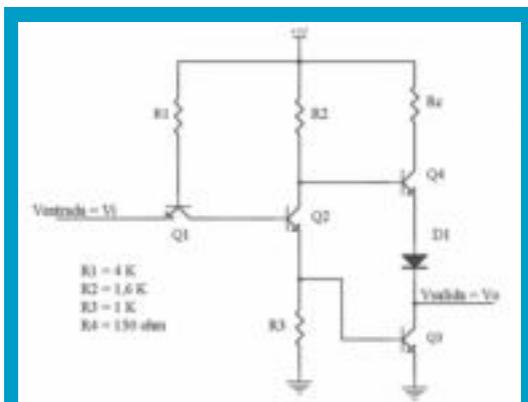
Esta evolución da lugar a una serie de subfamilias, basadas siempre en el concepto TTL. De entre ellas, la que aún se utiliza es la subfamilia TTL *Low Power Schottky* –Schottky de bajo consumo–. Su nombre, *Schottky*, es el del inventor del diodo que sirve como base para construir los transistores cuya principal característica es la de poder saturarlos, de tal forma que sea relativamente rápido llevarlos otra vez al corte; con su introducción en los circuitos integrados se gana en velocidad de respuesta.

Es así como han prevalecido las subfamilias LS –Low Power Schottky; Schottky de bajo consumo–, ALS –Advanced Power Schottky; Schottky de bajo consumo mejorada– y FAST –Fast Low Power Schottky; Schottky de bajo consumo rápida–.

Compuertas TTL estándar. Las compuertas TTL estándar (excepto algunas que se emplean en casos especiales) tienen una salida denominada *Totem-Pole* –pilar totémico–, en alusión a las figuras nativas de los indígenas americanos que incluyen figuras de ídolos o dioses, una arriba de la otra.

Totem-Pole se usa para simbolizar que, en la etapa de salida, se emplean transistores que se apilan uno sobre otro; es decir, se hace una cascada entre los +5 V de alimentación y el terminal de masa o 0 V –Ground–.

Otra denominación que tiene esta salida es la de *Pull-Up* activo –tirar para arriba– que se refiere a la parte del circuito de la salida que ayuda a poner la salida a +5 V; la calificación de activo se debe a que el elemento que lo consigue es un transistor, en este caso.



Inversor TTL estándar con salida Totem-Pole

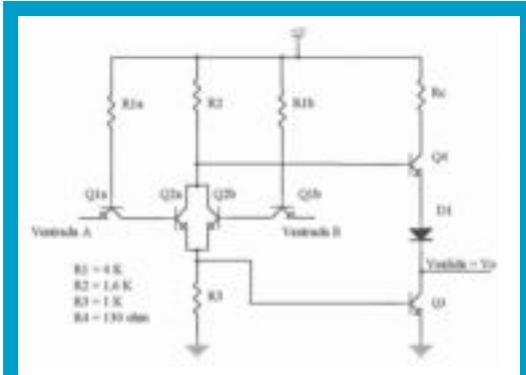
Este inversor tiene tres etapas bien definidas:

- Etapa de entrada: Formada por Q1 y R1, encargada de presentar a la fuente de señal una alta impedancia de entrada, a fin de no cargarla demasiado y de, además, lograr inyectar una gran corriente a la etapa siguiente, a fin de poder llevarla al corte o a la saturación rápidamente.
- Etapa excitadora: Formada por Q2 y por las resistencias R2 y R3, tiene por misión excitar a la etapa siguiente que es la de salida. Como la base de Q3 está conectada al emisor de Q2 y la base de Q4 está conectada al colector de Q2, se logra que sólo uno esté en conducción por vez, dependiendo que Q2 esté cortado o saturado.
- Etapa de salida: Formada por los transistores Q3, Q4, R4 y el diodo D1, esta etapa tiene por finalidad lograr cargar y descargar en forma rápida a las capacidades que se presentan a su salida.

La salida funciona de tal manera que, cuando Q3 está saturado, Q4 está cortado, lo que da un “0” lógico a la salida. A la inversa, cuando Q4 está saturado, Q3 está cortado, con lo cual tenemos un “1” lógico a la salida.

Para poder polarizar a estos dos transistores de manera opuesta, se emplea el transistor Q2.

Compuerta nand. Para generar una función *nand* se debe cumplir que la salida tome el nivel “0” lógico solamente cuando todas las entradas estén en nivel lógico “1” y sólo vaya al nivel “1” lógico cuando al menos una de las entradas tenga un nivel lógico de “0”.



Compuerta TTL nor de 2 entradas con salida Totem-Pole

Cada una de las entradas a este circuito (A y B) se conecta a través del emisor de un transistor NPN (Q1a y Q1b). Cada uno de ellos está polarizado por una resistencia de base (R1a y R1b).

Luego, el colector de cada transistor se une a la base de otro transistor (Q2a y Q2b)²⁶.

La figura muestra una simetría en el diseño en la que se han incluido dos etapas de entrada similares a las de un inversor.

Cada circuito de entrada formado por Q1a y Q2a, por un lado, y Q1b y Q2b, por el otro, contribuye a cortar o a hacer conducir a Q3, o lo opuesto con Q4.

Como se trata de dos circuitos en paralelo, cualquiera de las entradas puede hacer que Q3 se sature y que Q4 se corte, si dicha entrada se lleva a un nivel lógico alto.

La única forma de que Q3 se puede dejar

cortado es en el caso que ambas entradas estén a nivel lógico bajo. En esta condición, ninguna de ellas excita a sus transistores Q2a o Q2b, con lo cual no hay tensión para hacer entrar en conducción a Q3.

De lo expuesto concluimos que esta configuración funciona como una compuerta *nor* de 2 entradas.

Implementación de otras funciones lógicas.

Para obtener otros tipos de compuertas –una *and* o una *or*–, se debe agregar un inversor a los circuitos *nand* y *nor*, respectivamente.

Basados, fundamentalmente, en los diseños vistos de las compuertas *nand*, *and* e inversor, se desarrolla el resto de las compuertas que existen en el mercado, tales como *and*, *or*, *or*-exclusivo, *nor*-exclusivo.

A su vez, sobre la base de todos ellos, se construyen dispositivos más complejos: por un lado, circuitos combinatorios como decodificadores BCD a 7 segmentos, multiplexores, etc.; por el otro, circuitos secuenciales como flip-flops, contadores, registros de desplazamientos, etc.

Debido, fundamentalmente, a un problema de disipación de potencia de cualquier compuerta TTL, está limitado el número que se implementa por cada chip.

Según las hojas de datos de la mayoría de los fabricantes de lógica –*Motorola* (ahora *ON-SEMI*), *National Semiconductors* (ahora *Fairchild*), *Philips*, *Texas Instruments*, *SGS Thomson*, etc.–, los circuitos integrados de la

²⁶ Ayuda recordar lo que ocurre en familias DTL –basadas en la lógica diodo-transistor–; en ellas, una forma de implementar una compuerta nor es la de poner 2 transistores en paralelo, como en este caso lo hacen Q2a y Q2b (Noriega, Sergio. 2005. *Familia TTL –lógica transistor-transistor–*. Instituto Nacional de Educación tecnológica. Buenos Aires. www.inet.edu.ar. Serie “Recursos didácticos”).

familia TTL vienen dispuestos por función; es decir; en un chip suelen tenerse varias compuertas del mismo tipo.

Como generalización, cada chip se identifica como perteneciente a la familia lógica TTL estándar por las siglas 74XX o 54XX. En ellas:

- 74 indica que se trata de un chip TTL estándar de uso comercial,
- 54 lo mismo pero de uso militar,
- XX corresponden a números que designan el tipo de función que realiza dicho chip.

Por ejemplo:

7400. Formado por 4 *nand* de 2 entradas cada una.

7402. Formado por 4 *nor* de 2 entradas cada una.

7404. Formado por 6 inversores.

7408. Formado por 4 *and* de 2 entradas cada una.

7430. Formado por 1 *nand* de 8 entradas.

7432. Formado por 4 *or* de 2 entradas cada una.

7447. Formado por un decodificador BCD a 7 segmentos.

7473. Formado por 2 flip-flops tipo "JK".

7474. Formado por 2 flip-flops tipo "D".

7494. Formado por 2 registros de desplazamiento de 4 bits cada uno.

74138. Formado por 1 decodificador/multiplexor 8:1.

74161. Formado por un contador sincrónico binario de 4 bits.

Estos chips son, en general, de no más de 20 pines y se alimentan con una tensión de alimentación de +5 V con una tolerancia de sólo el +/- 5 % de fluctuación permitida.

Generalmente, vienen con encapsulado tipo DIP *-Dual In-Line*; doble línea-, con separaciones de fracción de pulgadas (300 milésimas de pulgadas o, como se identifica en los programas de diseño de circuitos impresos, de 300 mils).

Función de transferencia de compuertas TTL. Hemos mencionado que la compuerta ideal debería tener un margen de ruido de *-en el mejor de los casos-* el 50 % de la tensión de excursión de la salida.

Vimos, por ejemplo, que para el caso de un inversor debemos tener una función de transferencia; es decir, la curva de la tensión de salida en función de la de entrada.

En el caso de TTL, la curva dista bastante de la ideal.

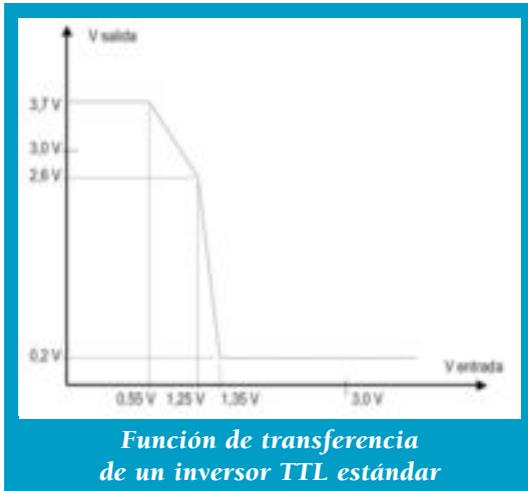
La siguiente figura muestra una aproximación a la curva verdadera; en ella se puede apreciar que está formada por trazos de rectas de diferente pendiente.

Las conclusiones son las siguientes:

- El nivel en alto en vacío (sin cargar al inversor) es de, aproximadamente, 3,7 V, en lugar de 5 V.
- El nivel en bajo en vacío (sin cargar al inversor) es de, aproximadamente, 0,2 V.

Existe una zona de transición del nivel alto al bajo que abarca desde los 0,55 V a los 1,35 V de la tensión de entrada.

Algo importante de destacar respecto del análisis de esta curva es que, para que se



- mientras la tensión de entrada no supere los 0,8 V (varíe entre 0 V y 0,8 V), el circuito del inversor reconoce esos niveles de tensión como un “0” lógico;
- si la tensión de entrada tiene valores entre los 5 V y los 2,0 V, el circuito del inversor reconoce esos niveles de tensión como un “1” lógico.

Esto es válido para cualquier otro tipo de compuerta, ya sea *and*, *nand* o cualquier entrada TTL de todo dispositivo, ya sea una entrada de datos de un decodificador o la entrada de reloj de un contador binario.

pueda garantizar que la salida del inversor sea de alrededor de 3,7 V en el estado alto, la tensión de entrada no debe ser mayor a los 0,55 V.

Cargabilidad o capacidad de carga –Fan Out–. El número de cargas que se puede conectar a una salida TTL dada, ya sea en nivel lógico alto o bajo, tiene un límite. Este límite está relacionado con la consideración de que esa salida debe aportar los niveles de tensión que garanticen que cualquier compuerta que quiera conectarse a ella podrá interpretar correctamente los niveles lógicos “0” y “1” que la salida quiere imponer. Dicho de otra manera: Las entradas que se conecten a una salida dada deben recibir de ésta, niveles de tensión compatibles con los que dichas entradas entiendan por un nivel alto o bajo.

Por el otro lado, para que la tensión de salida se mantenga en valores de alrededor de los 0,32 V en el estado bajo, la tensión en la entrada no debe bajar de los 1,35 V.

Así, los fabricantes de integrados TTL especifican los niveles de tensión de salida permitidos para valores máximos de corriente. Es decir, por ejemplo, especifican que si no se excede de cierto valor de corriente de salida (digamos, 16 mA) en el estado bajo, se garantiza que cualquier salida TTL no superará nunca los 0,4 V de tensión. Por el otro lado,

Debido a que en los procesos de fabricación de los chips existen siempre dispersiones en los valores de los parámetros –tales como de tensión y corriente–, los fabricantes suelen dar valores típicos con una cierta tolerancia. Por ejemplo, especifican que el consumo de un circuito integrado es de 12 mA con una tolerancia de +/- 1 mA o, a veces, directamente indican un valor típico (12 mA), un valor mínimo (11 mA) y otro máximo (13 mA). El usuario deberá saber cual de todos utilizar.

En lo relacionado con la función de transferencia, para el caso del inversor –por ejemplo, para el integrado 7404 que tiene 6 inversores–, el fabricante nos asegura que:

especifican que si no se excede de cierto valor de corriente de salida (digamos, 400 μA) en el estado alto, se garantiza que toda salida TTL no bajará nunca los 2,4 V de tensión.

Con estos datos y los considerados al analizar la función de transferencia de un inversor, podemos concluir que:

- Se garantiza que una salida TTL en estado bajo nunca tendrá valores de tensión superiores a los 0,8 V, mientras la corriente no supere la especificada en las hojas de datos para ese nivel lógico.
- Se garantiza que una salida TTL en estado alto nunca tendrá valores de tensión inferiores a los 2,4 V, mientras la corriente no supere la especificada en las hojas de datos para ese nivel lógico.
- Se garantiza que una entrada TTL en estado bajo, interpretará dicho nivel lógico, mientras la tensión a su entrada no supere los 0,8 V.
- Se garantiza que una entrada TTL en estado alto, interpretará dicho nivel lógico, mientras la tensión a su entrada no sea inferior los 2,0 V.

Como conclusión: Una salida TTL no se puede cargar con más de 10 entradas TTL de la misma clase (de la misma subfamilia).

En este caso, se dice que una compuerta TTL tiene un *Fan-Out* –capacidad de carga a la salida– de 10.

Este parámetro es importante; en especial, cuando se necesita conectar dispositivos TTL con

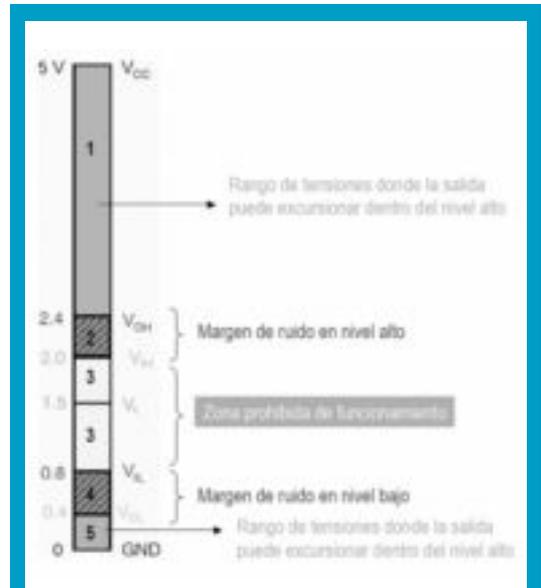
otros de diferente tecnología, como el caso de CMOS de la serie CD4000 o de la HE4000. Los CMOS tienen poca capacidad de carga para soportar entradas TTL; suelen no soportar más de 2 cargas TTL en paralelo.

En unas páginas más, consideramos exhaustivamente esta comparación entre tecnologías CMOS y TTL.

Otro punto importante que se desprende del análisis que hemos hecho de las corrientes que circulan por un inversor TTL –extendido al resto de las compuertas– es que, en CMOS, el consumo es considerablemente más bajo, lo que lo hace interesante en aplicaciones portátiles.

Inmunidad al ruido de una compuerta TTL.

La siguiente figura hace un resumen de los niveles de tensión admisibles y prohibido entre una salida TTL y las entradas que estén conectadas a ella.



Representación gráfica de valores de tensión admisibles y prohibidos en lógica TTL

De aquí se desprende que existen bandas de funcionamiento tanto para el nivel lógico alto como para el bajo:

- La zona 1 corresponde a los niveles de tensión donde la salida puede excursionar para que imponga un “1” lógico.
- La zona 5 corresponde a los niveles de tensión donde la salida puede excursionar para que imponga un “0” lógico.
- La zona 2 corresponde al margen que existe entre los niveles de tensión límites impuestos por las especificaciones de la salida y las entradas que se conecten a ella, para que dichas entradas sigan interpretando un “1” lógico. Esta zona define el margen de ruido que existe en el nivel alto y es de 0,4 V.
- La zona 4 corresponde al margen que existe entre los niveles de tensión límites impuestos por las especificaciones de la salida y las entradas que se conecten a ella, para que estas entradas sigan interpretando un “0” lógico. Esta zona define el margen de ruido que existe en el nivel bajo y es de 0,4 V.

Cada uno de estos márgenes de ruido define el rango de tensiones que una entrada puede tolerar aún para que se llegue al límite, en cuanto a la interpretación de lo que es un “1” o un “0” lógico. Por ejemplo, en el estado alto, si la salida de una compuerta se conecta a muchas compuertas de tal forma que su nivel de tensión sea de 2,4 V (el límite garantizado por el fabricante), cada una de esas entradas (que admiten una tensión tan baja como 2,0 V) todavía puede tolerar una caída de tensión de 0,4 V y seguir interpretando dicho nivel como un “1” lógico. Del mismo modo, para el mismo ejemplo, si el estado de la salida es ahora el

bajo y su nivel de tensión llega a 0,4 V (también el límite garantizado por el fabricante), cada una de esas entradas todavía puede tolerar un aumento en la tensión de 0,4 V (ellas admiten hasta 0,8 V) y seguir interpretando dicho nivel como un “0” lógico.

Velocidad de respuesta en dispositivos TTL.

Dado un dispositivo lógico perteneciente a nuestra familia ideal, éste debía tener una respuesta inmediata en su salida ante cambios en sus entradas. Pero, lamentablemente, todo componente eléctrico responde con una inercia dada, lo que se traduce en tiempos que serán distintos a cero. La familia TTL no es la excepción.

El retardo con el cual una salida responde para cambiar su estado lógico se denomina tiempo de retardo de propagación –*Propagation Delay Time*– y suele ser especificado en nanosegundos.

En la siguiente figura vemos un diagrama de tiempos en el que se puede observar este retardo, comparando la evolución temporal de las señales de entrada y de salida de un inversor.

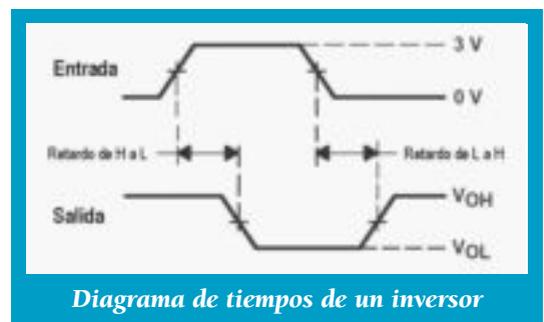


Diagrama de tiempos de un inversor

Como se puede observar, cuando la señal de entrada cambia de un estado bajo a alto, la salida –que debería cambiar inmediatamente de alto a bajo– lo hace, pero después de un

cierto tiempo. Esto conforma un tiempo de retardo de propagación bajo a alto o tp_{LH} . Lo mismo sucede cuando la entrada cambia de alto a bajo, en un tiempo de retardo de propagación alto a bajo o tp_{HL} .

Diferentes mecanismos internos y externos al inversor hacen que este tiempo de retardo pueda descomponerse en dos tiempos diferentes:

- Uno es el tiempo en que la salida tarda en empezar a cambiar su valor de tensión.
- Otro es el tiempo en que se demora en pasar de un nivel de tensión a otro.

El tiempo en que la tensión de salida tarda en pasar de alto a bajo se denomina tiempo de bajada *–fall time–*; el tiempo en que la salida tarda para pasar de bajo a alto se llama tiempo de subida *–rise time–*.

Este rasgo puede generalizarse para cualquier otro tipo de compuerta.

Los tiempos de retardo de propagación tp_{HL} y tp_{LH} , varían, según cuánta carga hay conectada a la salida de un dispositivo TTL. La máxima velocidad de respuesta se alcanza cuando el dispositivo está en vacío; es decir, sin carga. A medida que se van conectando cargas TTL a él (por ejemplo, entradas de otras compuertas), la capacidad de cada una de ellas va contribuyendo a que la capacidad total en paralelo con la salida aumente cada vez más.

Cuanto mayor sea esa capacidad, más tiempo se va a tardar para que la salida cambie de nivel de tensión *–o, lo que es lo mismo, de un estado lógico a otro–*.

Estos tiempos son función lineal con la capacidad de carga; es decir, si se conecta el doble de entradas se duplica el tiempo de retardo, y viceversa.

Como ejemplo, podemos decir que una compuerta TTL tipo 7400 tiene un tiempo tp_{LH} de unos 12 ns mientras que el tiempo tp_{HL} es de unos 7 ns *–ambos, especificados para una capacidad de carga de 15 pF–*.

Un punto interesante de destacar es que, en el caso TTL, generalmente los tiempos de retardo de propagación son mucho mayores que los tiempos de subida o bajada de la señal de tensión en la salida. Diferente es el caso de los CMOS estándar que especifican no sólo los tiempos de retardo de propagación, sino los de subida y bajada, ya que son comparables a los primeros.

Las nuevas subfamilias TTL: Hacia menor consumo y mayor velocidad. La tecnología TTL continúa evolucionando, a fin de conseguir dispositivos cada vez más rápidos y de menor consumo. Varias son las transiciones: Aparecen, por ejemplo, las subfamilias TTL, variaciones circuitales que tratan de conseguir una mejora en cuanto a la velocidad de respuesta (la serie 74S) o bajando el consumo (la serie 74L).

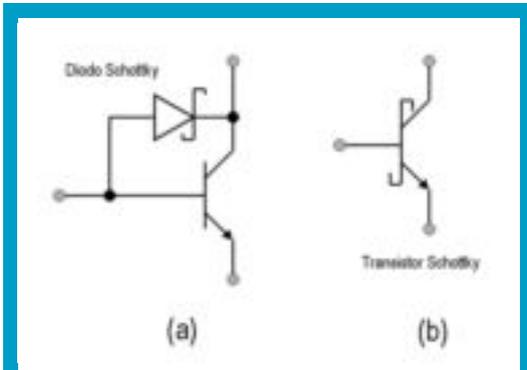
El éxito se logra con la primera de ellas, la subfamilia TTL Schottky, con su serie 74SXX, y, posteriormente, con otra variación de menor consumo que se denomina TTL *Low Power Schottky* *–Schottky de bajo consumo–*. Ésta tiene 3 diferentes clases de dispositivos:

- La 74LS *–Low Power Schottky; Schottky de bajo consumo–*.

- La 74ALS –*Advanced Power Schottky*; Schottky de bajo consumo mejorada–.
- La 74F o FAST –*Fast Low Power Schottky*; Schottky de bajo consumo y más rápida–.

Subfamilias TTL Low Power Schottky

–**Schottky de baja potencia**–. La idea es la de incorporar transistores bipolares denominados Schottky en los circuitos, cuya ventaja frente a los diodos tradicionales es que, al polarizarlos en directa, tienen una caída de tensión de entre 0,3 V y 0,5 V, menor que los diodos normales (entre 0,6 V y 0,8 V). Además –y esto es lo importante– este tipo de diodo puede pasar del estado de conducción al corte y viceversa con mucha mayor rapidez que los diodos comunes.



En la parte a de la figura vemos cómo se incluye un diodo Schottky en el circuito de un transistor bipolar. En la parte b se muestra el símbolo que identifica este tipo de dispositivo denominado transistor Schottky

El transistor Schottky no se satura, ya que parte de su excitación de corriente de base es derivada y alejada de la base por el diodo. Este último, conduce y fija la tensión de la unión base-colector a alrededor de 0,5 V. En estas condiciones, cuando la

tensión base-emisor es tan alta como 0,8 V (saturando a un transistor común), aquí, en cambio, la tensión colector-emisor es de 0,8 V – 0,5 V = 0,3 V; por esto, el transistor Schottky está en zona activa pero no saturado.

La ventaja es que si no está en saturación es más fácil llevarlo al corte y, por lo tanto, más rápido. Y esto es lo que se pretende (mayor velocidad de conmutación para operar a frecuencias mayores).

Subfamilia 74LS. Esta subfamilia es la más difundida en nuestro país. La versión TTL original es reemplazada por completo con esta línea de dispositivos TTL.

La ventaja es que se logra una pequeña mejora en cuanto a la velocidad de respuesta con un menor consumo (en promedio, en un factor de 5), lo que genera una mejora sustancial en cuanto a obtener diseños lógicos un poco más rápidos y más portables.

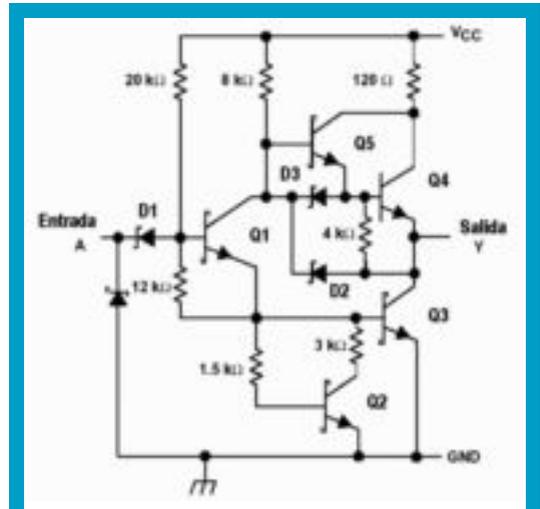
Con respecto a su reemplazo, en principio, éste es directo; es decir, un chip –por ejemplo, el séxtuple inversor 74LS04– es compatible pin a pin con el 7400 de la familia estándar.

La mayoría de los integrados de la familia 74XX tiene su reemplazo en la 74LSXX, pero hay algunas excepciones; por esto, en caso de querer pasar de una subfamilia a la otra, se debe recurrir a la hoja de datos de los manuales, a fin de asegurarse que dicho reemplazo exista.

En el próximo circuito se puede ver que

las resistencias que se emplean son mucho más grandes que en un circuito TTL estándar, lo que hace que el consumo sea mucho menor. Pero, como esto trae aparejada una menor velocidad de conmutación, la inclusión del diodo D1 en lugar del transistor tradicional de entrada hace que se emplee menor área de silicio y, por lo tanto, que se baje la capacidad interna y que se reduzcan los retardos.

Cabe recordar que, en el inversor que analizamos páginas atrás, el transistor Q1 de entrada tenía por misión excitar con mucha corriente al transistor Q2, a fin de que éste pasara rápido del corte a la saturación y viceversa. Si bien aquí se reemplazó ese Q1 por un diodo, Q1 es del tipo Schottky por lo cual no se satura; es posible, de esta manera, excitarlo con un diodo (D1).



Circuito de uno de los 6 inversores que posee el integrado 74LS04

En las siguientes figuras mostramos las especificaciones técnicas del inversor 74LS04 y las comparamos con las analizadas en las hojas de datos del inversor 7404.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†		SN54LS04		SN74LS04		UNIT		
			MIN	TYP‡	MAX	MIN		TYP‡	MAX
V_{IK}	$V_{CC} = \text{MIN.}$	$I_I = -18 \text{ mA}$			-1.5		V		
V_{OH}	$V_{CC} = \text{MIN.}$	$V_{IL} = \text{MAX.}$	2.5	3.4		2.7	3.4	V	
V_{OL}	$V_{CC} = \text{MIN.}$	$V_{IH} = 2 \text{ V}$		0.25	0.4		0.4	V	
I_I	$V_{CC} = \text{MAX.}$	$V_I = 7 \text{ V}$			0.1		0.1	mA	
I_{IH}	$V_{CC} = \text{MAX.}$	$V_I = 2.7 \text{ V}$			20		20	µA	
I_L	$V_{CC} = \text{MAX.}$	$V_I = 0.4 \text{ V}$			-0.4		-0.4	mA	
I_{OL}^{\ddagger}	$V_{CC} = \text{MAX.}$		-20		-100	-20		mA	
I_{OCH}^{\ddagger}	$V_{CC} = \text{MAX.}$	$V_I = 0 \text{ V}$		1.2	2.4		1.2	2.4	mA
I_{OCL}^{\ddagger}	$V_{CC} = \text{MAX.}$	$V_I = 4.5 \text{ V}$		3.6	6.6		3.6	6.6	mA

Características eléctricas del integrado 74LS04

En esta figura se puede apreciar la tabla de valores de corrientes y tensiones de entrada, salida y de alimentación del dispositivo. Comparándola con la misma tabla para un inversor de la serie 7404, podemos decir que:

- Los valores de consumo de corriente de alimentación bajan de 18 mA a 3,6 mA en el estado bajo, y de 6 mA a 1,2 mA en el estado alto; esto se traduce en menor consumo de potencia a igual tensión de alimentación de +5 V.

- Los valores de corriente de entrada bajan de 1 mA a 0,1 mA para el estado bajo, y de 40 μA a 20 μA para el estado alto; esto se traduce en menor carga que la entrada de una compuerta

ta le puede ofrecer a otra.

Con respecto a la velocidad de respuesta, analizemos la tabla que presenta los retardos de propagación para este inversor de la serie 74LS.

switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$ (see Figure 2)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN54LS04 SN74LS04			UNIT
				MIN	TYP	MAX	
t_{PLH}	A	Y	$R_L = 2\text{ k}\Omega$ $C_L = 15\text{ pF}$		9	15	ns
t_{PHL}					10	15	

Características dinámicas del integrado 74LS04

Comparando las características dinámicas del 74LS04 con el 7404, vemos que el tiempo de retardo de propagación bajo a alto, en el primer caso, es más bajo (9 ns contra 12 ns); en cambio, para el caso del tiempo de retardo de propagación alto a bajo es al revés (10 ns contra 8 ns).

Si bien realizamos este análisis para un tipo determinado de compuerta, se puede hacer extensivo al resto de las compuertas y a los demás dispositivos TTL.

que mejoran la velocidad de respuesta y otras características de la subfamilia basada en dispositivos Schottky.

La subfamilia ALS –*Advanced Low Power Schottky*; Schottky de baja potencia avanzado–, por ejemplo, debe su denominación a sus características de avanzada en el diseño de los diferentes tipos de compuertas, empleando configuraciones de semiconductores más complejas pero siempre basadas en la tecnología de diodos Schottky.

La conclusión general es que, en cuanto a velocidad de respuesta, la serie Schottky de baja potencia 74LS es similar a la serie 74 de TTL estándar; pero, en cuanto a consumo de potencia se refiere, la serie 74LS es superior, ya que la disipación es mucho menor que la serie 74. Esto se traduce en ahorro de energía, por lo cual un mismo diseño lógico funcionando, por ejemplo con baterías, tendrá una autonomía de hasta 5 veces mayor en la serie LS respecto de la estándar.

Las principales ventajas de la serie 74ALS son:

- Menor corriente de entrada, con lo cual incrementa la cargabilidad de la salida de una compuerta.
- Mayor velocidad de respuesta.
- Menor consumo de corriente.
- Mayor inmunidad al ruido.

Las subfamilias ALS y FAST. Posteriormente a la aparición de la serie LS surgen otras dos

Si comparamos un inversor 74LS04 con otro de la serie 74ALS04, advertimos que, de tener en promedio de 8 ns de tiempo de retardo de propagación, pasamos a 5 ns con la serie ALS. En general, la mejora es de más del 50 % en velocidad de respuesta.

En cuanto a consumo, considerando un valor de referencia de 5 mW en un dispositivo 74LS, su similar 74ALS consume 2 mW; es decir, menos de la mitad.

La subfamilia FAS, serie 74F es la más rápida de la tecnología TTL.

El diseño de la subfamilia FAST se optimizó a fin de hacer prevalecer su velocidad de respuesta a expensas de un mayor consumo de corriente. Otra ventaja es la de proveer mayor corriente a la salida.

Series CMOS de alta velocidad

Entonces, la primera familia lógica que tiene éxito en el mercado mundial es la TTL. Luego de solucionar problemas asociados con las descargas electrostáticas, CMOS va haciéndose cada vez más popular, brindando claras ventajas respecto a TTL en cuanto a rango de tensión de alimentación, margen de ruido y consumo en funcionamiento estático, y a frecuencias de operación menores a los 10 MHz y –como rasgo no menos importante– a la elevada densidad de integración.

El problema serio de la primera serie CMOS es la velocidad de respuesta ya que, con el advenimiento de la tecnología informática, se necesita cada vez mayor velocidad en cálculos matemáticos y otras funciones.

Los fabricantes de circuitos integrados no ofrecen muchas opciones al respecto. Por un lado, existe otra familia lógica denominada

En líneas generales, podemos decir que:

- La velocidad de un dispositivo basado en la serie FAST es igual al doble de su similar LS y mayor al 50 % en un dispositivo ALS.
- El consumo en FAST es un 20 % a 100 % mayor respecto a la serie 74LS y 74ALS, respectivamente.
- La corriente máxima que puede erogarse a la salida de una compuerta FAST es el doble que su similar ALS.

En nuestro país, la subfamilia TTL más difundida en aquellas aplicaciones que no requieren excesiva velocidad es la LS, la más económica de las tres¹⁷.

ECL –*Emitter-Coupled Logic*; lógica acoplada por emisor– que utiliza transistores bipolares como la TTL; pero, a diferencia de ésta, los transistores no se llevan al corte y saturación sino que siempre trabajan en zona activa; es decir, siempre están conduciendo pero nunca saturados.

La gran ventaja de esto es que, al no tener que llevarlos de corte a saturación y viceversa, pasar a los transistores de un punto de operación a otro es mucho más rápido. Pero, su problema se centra en dos aspectos importantes:

- Esta lógica ECL utiliza fuente de alimentación negativa (0 V y –5,2 V) que es incompatible con TTL y CMOS.

¹⁷Por ejemplo, adquiriendo varias decenas de unidades, un chip 74LS00 vale unos U\$S 0,25, mientras que el mismo de la serie 74ALS00 se puede conseguir en U\$S 0,43 y la 74F00 cuesta U\$S 0,45.

- El consumo es mucho mayor que TTL, ya que todos los transistores que forman una compuerta consumen potencia.

La idea de entonces es: Seguir mejorando TTL o CMOS, a fin de conseguir dispositivos cada vez más veloces.

Por el lado de TTL se registran varias modificaciones en las estructuras internas de las compuertas, empleando siempre transistores bipolares y con el mismo valor de tensión de alimentación de 5 V. Así, pasan las subfamilias 74L, 74S, etc., hasta que se logra una serie basada en transistores tipo Schottky de bajo consumo como las series 74LS, 74ALS y 74F. Sin embargo, a pesar de la mejora en velocidad de respuesta y de consumo respecto de la serie TTL original 74, existe el problema de la densidad de integración, la que aún resulta muy pobre: No se puede implementar una gran cantidad de circuitos en una área de silicio dada.

Y, por el lado de CMOS —que tiene más virtudes que TTL, excepto la velocidad— comienza una carrera por mejorar los procesos tecnológicos tendientes a lograr dispositivos cada vez más rápidos. Es así como se realizan intentos por construir transistores MOS que manejen mayor corriente y, por ende, incrementen la energía en descargar y cargar a las capacidades de carga. Para lograrlo sin degradar el resto de las propiedades de estos transistores, se debe disminuir su longitud de canal, lo que implica hacer transistores de tamaño cada vez menor.

Los procesos de fabricación van mejorándose; en la década del '60 se obtienen

longitudes de canal de decenas de micrones, hasta llegar a menos de 0,1 μm hoy en día. Esta drástica reducción del tamaño de los transistores hace que disminuyan las capacidades parásitas, las cuales internamente limitaban la posibilidad de lograr velocidades de conmutación más elevadas. También disminuye la potencia de disipación dinámica interna de los dispositivos.

De esta manera, aparecen las versiones²⁸ de alta velocidad CMOS que se dividen en dos grupos:

- Series compatibles con CMOS, denominadas 74HC y 74AC.
- Series compatibles con TTL, denominadas 74HCT y 74ACT.

La serie 74HC aparece primero y, luego, la 74AC. Ambas son compatibles con CMOS, lo que significa que sus características de tensión de entrada son iguales a la serie CMOS original. La diferencias fundamentales respecto de ella son la mayor velocidad y un rango de tensión de alimentación menor (de 2 a 6 V).

La 74AC es más veloz que la 74HC y, además, puede manejar mayor corriente a su salida.

La serie 74HCT aparece junto con la 74HC y, luego, surge la 74ACT. Con estas series, la idea es la de disponer de dispositivos CMOS

¹⁸Los sucesivos cambios en las series CMOS se realizaron y realizan en los chip; es decir, fabricando los transistores cada vez con mejores prestaciones. La topología de las distintas compuertas sigue siendo la misma que con la CMOS original, salvo aquellos avances respecto de estructuras nuevas, como fue la de utilizar compuertas *Pass-Gate* para implementar, por ejemplo, multiplexores, compuertas *or*-exclusivas, flip-flops tipo D, etc. En resumen: Un inversor ya sea 74AC, 74HC u otro, sigue estando construido con dos mosfet: uno NMOS y otro PMOS; lo mismo, para el resto de las compuertas.

que tengan características en tensión de entrada compatibles con TTL, a fin de poder conectar la salida de una compuerta TTL a otra CMOS sin tener problemas de una mala interpretación de los estado lógicos.

Todo esto ha llevado a que, hoy, CMOS prevalezca frente a TTL. Casi la totalidad de los dispositivos electrónicos digitales que antes eran TTL han pasado a ser CMOS¹⁹.

Consideremos, por ejemplo, **las series CMOS de alta velocidad 74HC y 74HCT**.

En el siguiente gráfico podemos comparar las virtudes de las primeras series de alta velocidad de CMOS.

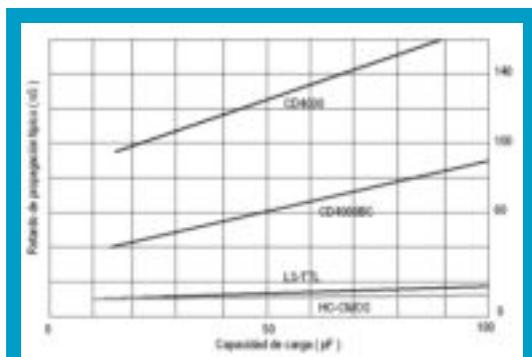


Gráfico comparativo de velocidad de respuesta en función de la capacidad de carga, en subfamilias CMOS y TTL;

se puede apreciar que, para un valor de capacidad de carga de 50 pF (que es el valor que, generalmente, los fabricantes adoptan para especificar los tiempos de retardo), la serie HC-CMOS (74HC y 74HCT) tiene una leve mejora respecto de la serie TTL 74LS; en cambio, si la comparamos con la serie CD4000BC-UBC –que, actualmente, sigue en vigencia–, la HC-CMOS es unas 7 veces más rápida.

Aparte de las diferencias de velocidad, las series 74HC y 74HCT se caracterizan por tener menor consumo de potencia en reposo que la serie CMOS original.

En cuanto a la corriente de entrada, tienen los mismos valores.

Una pregunta que surge de inmediato cuando analizamos la lista de familias lógicas es: ¿Cuál es la diferencia entre 74HC y 74 HCT?

La respuesta para esto es sencilla: La **serie 74HC** (HC significa *High-Speed CMOS*; CMOS de alta velocidad–) es la primera versión de alta velocidad de la CMOS serie CD4000BC-UBC que aparece en el mercado.

La **serie 74HCT** es otra versión similar que soporta todas las características de los CMOS pero mantiene compatibilidad con la característica de tensiones de entrada de la familia TTL. La sigla HCT –*High-Speed CMOS TTL*– significa CMOS de alta velocidad compatible con TTL. Esta serie fue concebida a fin de poder solucionar el problema de interconectar la salida de un dispositivo TTL con otro CMOS.

Como se explica detalladamente en la sección de comparaciones entre CMOS y TTL, existe un problema cuando una compuerta TTL se conecta a la entrada de otra CMOS. Aún si ambos dispositivos utilizan la misma tensión de alimentación, cuando la TTL quiere poner un nivel alto, es muy probable que no sea interpre-

¹⁹Debemos aclarar que, debido a la creciente demanda en conseguir velocidades cada vez mayores (por ejemplo, para los microprocesadores en las computadoras que trabajan con frecuencias de reloj de varios gigahertz), se debe trabajar con valores de tensión de alimentación menores a los 5 V tradicionales en TTL. Esto se debe a que la disipación de potencia es función lineal con la frecuencia; por lo tanto, a medida que se necesita que

los dispositivos trabajen a mayor frecuencia, se disminuye la tensión de alimentación V_{DD} , tal que, al bajar ésta a la mitad, se decrementa la potencia a la cuarta parte. Así comienza una carrera que logra aumentar la frecuencia de trabajo bajando V_{DD} . De los 5 V, las tensiones de alimentación han pasado por 3,3 V, luego 2,5 V, 1,8 V y ya estamos trabajando en poco menos del volt, en algunas aplicaciones.

tada correctamente por la entrada CMOS y que exista un error lógico. Para solucionar esto aparece en el mercado la serie 74HCT que evita el uso de una resistencia adaptadora.

También existe la **serie CMOS de alta velocidad 74AC y 74ACT (74AHC y 74 AHCT)**. Esta serie (una de las últimas en 5 V y 3,3 V) tiene mejores prestaciones que la anterior.

La serie AC, también denominada AHC –*Advanced High-Speed CMOS*; CMOS de alta velocidad avanzada– es casi 3 veces más rápida que la HC. Además, consume menos potencia y resuelve una serie de problemas relacionados con las oscilaciones que suelen producirse a la salida, cuando se trabaja a alta velocidad de conmutación.

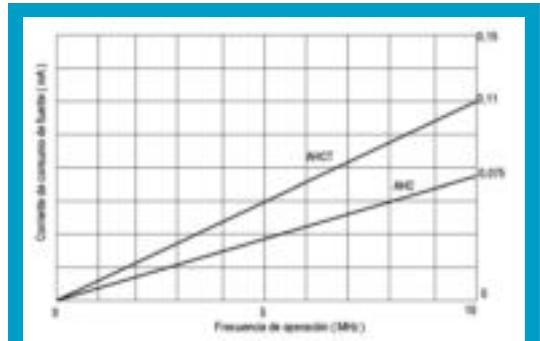
También posee mayor capacidad de carga, a fin de excitar a un mayor número de entradas.

Nuevamente, 74AC se refiere a los dispositivos que son compatibles con CMOS y 74ACT; son aquellos que permiten conectar TTL a la salida de CMOS como los 74HCT.

En resumen: AC y ACT se diferencian de HC y HCT en:

- Mayor velocidad de respuesta; son más rápidos.
- Menor consumo de potencia; pueden ser más portátiles, o trabajar a mayor velocidad y consumir lo mismo.
- Mayor capacidad de corriente a la salida; pueden manejar más compuertas.

Entre las series AC y ACT tenemos una diferencia importante en lo que se refiere a la disipación de potencia.



Curva de consumo versus frecuencia de operación para las series AHCT y AHC; corresponde a V_{DD} de 5 V, temperatura ambiente de 25 °C y sin carga

Para resumir las características sobresalientes entre dispositivos de diversas series, hemos integrado la siguiente tabla donde se muestra, además, información sobre las series TTL: 74 (original) y las más nuevas (como la 74LS y la 74ALS):

Tabla comparativa entre series CMOS de alta velocidad y de bajo consumo TTL						
Tecnología	CMOS	CMOS	CMOS	TTL	TTL	TTL
Serie	74HC	74AC	CD4000	74	74L	74ALS
Potencia disipada por compuerta						
Modo estático	0,0000025	0,00009	0,001	10	2	1
A 100 kHz	0,17	0,006	0,1	10	2	1
Frecuencia máxima [MHz]	40	130	12	35	40	70
Retardo de propagación						
CL = 15 pF [ns]	8	3,7	105	10	10	4

Corriente máxima en nivel bajo [mA]						
Salidas estándar	4	8	1,6	16	8	8
Salidas de alta corriente	6	8	1,6	48	24	24/48
Corriente de entrada máxima en bajo [mA]	0,001	0,001	0,001	1,6	0,4	0,1

Como se puede apreciar, la serie CMOS 74AC es la más veloz, alcanzando frecuencias de operación de más de 130 MHz.

Para tener una idea más concreta de las pres-

taciones de cada una de estas series de alta velocidad CMOS, la siguiente tabla muestra los tiempos de retardo de propagación de algunos dispositivos conocidos, para las series HC, HCT, AC y ACT:

Comparación de tiempos de retardo para varios dispositivos comerciales ³⁰				
Dispositivo	74HC	74HCT	74AC	74ACT
244 (buffer)	13 ns	15 ns	5,8 ns	5,4 ns
245 (transceiver)	15 ns	14 ns	5,8 ns	4,5 ns
373 (latch)	15 ns	20 ns	5,0 ns	5,0 ns
374 (flip-flop)	17 ns	25 ns	5,4 ns	5,0 ns

Se puede notar que las versiones compatibles con TTL son algo mejores que las compatibles con CMOS. La diferencia no es, sin embargo, muy grande.

Vamos a analizar, ahora, las especificaciones que da la empresa Philips para sus productos de CMOS de alta velocidad: 74HC y 74HCT. Primero, consideramos las

Generalmente, los fabricantes especifican sus productos discriminando el comportamiento de los circuitos integrados en corriente continua y alterna, por separado.

especificaciones generales para todos los dispositivos y, luego, nos centramos en dos específicos, el 74HC00 y 74HCT00, que son circuitos integrados que contienen cuatro compuertas *nand* de 2 entradas cada una.

En las hojas de datos suele existir cierto ordenamiento en la presentación de todo este material:

Título. Generalmente, se da la identificación del componente con un breve comentario de su función (ejemplo: 74HCT00 cuádruple compuerta *nand* de dos entradas).

³⁰Es importante aclarar que esta tabla -como la anterior- hacen comparaciones en 5 V de tensión de alimentación para los dispositivos mencionados que son los que se pueden conseguir fácilmente en el mercado local. Existen otros dispositivos CMOS especiales (por ejemplo, los fabricados por las empresas Texas Instruments y Philips) denominados FCT -Fast CMOS TTL Logic; lógica CMOS-TTL rápida) con los que se pueden obtener

tiempos de retardo de propagación de 5,3 ns -o menores- con 5 V. Incluso, es posible alcanzar valores de frecuencia aún mayores si se reduce la tensión de alimentación. Para tensiones de alimentación de 1,8 V, se consiguen retardos tan bajos como 2,0 ns o menores con una serie especial CMOS denominada AUC -Advanced Ultra-LV CMOS; CMOS de ultra-baja tensión avanzada-.

Descripción. Se detalla cuál es el propósito del componente. Esta descripción puede ir acompañada por una tabla de verdad que presenta su funcionamiento y por un dibujo se muestra la disposición de los pines. También suele darse una lista de posibles aplicaciones del dispositivo, a modo de guía para el usuario.

Especificaciones de corriente continua. Son aquellas relacionadas con el comportamiento del dispositivo cuando las entradas no están conectadas a señales que varían en el tiempo. Generalmente, estas especificaciones vienen dadas en forma de tabla.

Se puntualizan:

- Rango máximo de trabajo. Valores extremos de funcionamiento. Su conocimiento es importante ya que, si se excede de éstos, el dispositivo puede dañarse o funcionar fuera de lo especificado en el apartado siguiente.
- Rango de utilización normal. Describe los

valores que adoptan diversos parámetros eléctricos dentro del rango de funcionamiento estipulado por el fabricante.

Especificaciones de corriente alterna. Son aquellas relacionadas con el comportamiento del dispositivo cuando las entradas están conectadas a señales que varían en el tiempo. Dan idea de cómo es el comportamiento dinámico del dispositivo.

Esta información de suele dar en forma de tabla y con diagramas de tiempo en los que se muestra la evolución de cada salida ante una determinada estimulación de las entradas, en diferentes condiciones.

A continuación, damos las especificaciones generales para el caso de **74HC** y **74HCT**.

Excepto las especificaciones de funcionamiento extremo, las demás (en corriente continua y en corriente alterna) difieren para cada caso y se dan por separado:

SYMBOL	PARAMETER	MIN.	MAX.	UNIT	CONDITIONS
V_{CC}	DC supply voltage	-0.5	+7	V	
$\pm I_{IK}$	DC input diode current		20	mA	for $V_I < -0.5$ or $V_I > V_{CC} + 0.5$ V
$\pm I_{OK}$	DC output diode current		20	mA	for $V_O < -0.5$ or $V_O > V_{CC} + 0.5$ V
$\pm I_O$	DC output source or sink current				for -0.5 V $< V_O < V_{CC} + 0.5$ V
	standard outputs		25	mA	
	bus driver outputs		35	mA	
$\pm I_{CC}$ $\pm I_{GND}$	DC V_{CC} or GND current for types with:				
	standard outputs		50	mA	
	bus driver outputs		70	mA	
T_{stg}	storage temperature range	-85	+150	°C	
P_{tot}	power dissipation per package				for temperature range: -40 to +125 °C 74HC/HCT/HCU
	plastic DIL		750	mW	above +70 °C: derate linearly with 12 mW/K
	plastic mini-pack (SO)		500	mW	above +70 °C: derate linearly with 8 mW/K

Especificaciones de funcionamiento extremo para las series 74HC y 74HCT

Aquí:

- V_{CC} es la tensión de alimentación.
- I_O es la corriente de salida en estado alto o bajo.
- I_{CC} es la corriente total de consumo del chip (excepto que se especifique lo contrario).
- P_{tot} es la potencia disipada total de consumo del chip.
- T_{stg} es la temperatura de almacenamiento del chip sin usarse.

Observaciones:

- No se debe exceder la tensión de alimentación de los 7 V, ya que puede dañarse en forma permanente el dispositivo.
- Tampoco, aplicar una tensión negativa. Esto sucede cuando, por ejemplo, se conecta una batería de 9 V y los conectores de doble contacto no están polarizados³¹, lo que se registra muy a

menudo en los *motheboards* –placas madre– de las computadoras personales; en ellos, si se intenta conectar la alimentación de una lectora de CD, sólo se puede realizar en una posición de las dos posibles. Una forma adicional de prevenir daño en un circuito ante una inversión de polaridad accidental es poner en serie, antes de la fuente regulada de tensión, un diodo rectificador (por ejemplo, el 1N4007) que bloquea la tensión negativa aplicada al circuito, protegiéndolo.

- No superar los 25 mA de corriente de salida en los dispositivos con salida estándar y los 35 mA en aquellos que emplean buffers para reforzar la capacidad de carga.
- No superar los 750 mW de potencia en dispositivos que tienen encapsulado plástico tipo DIL –*Dual in Line*–. Los DIL, también conocidos como DIP, son encapsulados de doble línea, generalmente, de 300 mils³² de ancho.

SYMBOL	PARAMETER	74HC			74HCT			UNIT	CONDITIONS
		min.	typ.	max.	min.	typ.	max.		
V_{CC}	DC supply voltage	2.0	5.0	6.0	4.5	5.0	5.5	V	
V_i	DC input voltage range	0		V_{CC}	0		V_{CC}	V	
V_o	DC output voltage range	0		V_{CC}	0		V_{CC}	V	
T_{amb}	operating ambient temperature range	-40		+85	-40		+85	°C	see DC and AC CHAR. per device
T_{amb}	operating ambient temperature range	-40		+125	-40		+125	°C	
t_r, t_f	input rise and fall times except for Schmitt-trigger inputs		6.0	1000 500 400		6.0	500	ns	$V_{CC} = 2.0\text{ V}$ $V_{CC} = 4.5\text{ V}$ $V_{CC} = 6.0\text{ V}$

Condiciones de operación recomendadas para las series 74HC y 74HCT

Observaciones:

- Los dispositivos HC pueden trabajar con

un poco más de tensión de alimentación.

- La temperatura de trabajo es la misma para ambas series; pero, puede variar de

³¹Un conector polarizado se refiere al tipo de enchufe que tiene dos o más contactos para realizar una interconexión en la que existe sólo una forma de realizar la

unión con el otro extremo.

³²1 mil es una milésima de pulgada

dispositivo en dispositivo. Esto quiere decir que se debe considerar cada caso en particular.

- Los tiempos de subida y bajada de la señal de entrada que excita a un dispositivo

HC-CMOS no pueden ser superiores de un cierto valor: de 500 ns (0,5 μ s para $V_{CC} = 4,5$ V) a fin de que la lógica interna interprete correctamente el cambio de nivel.

SYMBOL	PARAMETER	T_{amb} (°C)						UNIT	TEST CONDITIONS			
		74HC							V_{CC} (V)	V_I	OTHER	
		+25			-40 to +85		-40 to +125					
		min.	typ.	max.	min.	max.	min.					max.
V_{IH}	HIGH level input voltage	1.5 3.15 4.2	1.2 2.4 3.2		1.5 3.15 4.2		1.5 3.15 4.2		V	2.0 4.5 6.0		
V_{IL}	LOW level input voltage		0.8 2.1 2.8	0.5 1.35 1.8		0.5 1.35 1.8		0.5 1.35 1.8	V	2.0 4.5 6.0		
V_{OH}	HIGH level output voltage all outputs	1.9 4.4 5.9	2.0 4.5 6.0		1.9 4.4 5.9		1.9 4.4 5.9		V	2.0 4.5 6.0	V_{IH} or V_{IL}	$-I_O = 20 \mu A$ $-I_O = 20 \mu A$ $-I_O = 20 \mu A$
V_{OH}	HIGH level output voltage standard outputs	3.98 5.48	4.32 5.81		3.84 5.34		3.7 5.2		V	4.5 6.0	V_{IH} or V_{IL}	$-I_O = 4.0$ mA $-I_O = 5.2$ mA
V_{OH}	HIGH level output voltage bus driver outputs	3.98 5.48	4.32 5.81		3.84 5.34		3.7 5.2		V	4.5 6.0	V_{IH} or V_{IL}	$-I_O = 6.0$ mA $-I_O = 7.8$ mA
V_{OL}	LOW level output voltage all outputs		0 0 0	0.1 0.1 0.1		0.1 0.1 0.1		0.1 0.1 0.1	V	2.0 4.5 6.0	V_{IH} or V_{IL}	$I_O = 20 \mu A$ $I_O = 20 \mu A$ $I_O = 20 \mu A$
V_{OL}	LOW level output voltage standard outputs		0.15 0.16	0.26 0.26		0.33 0.33		0.4 0.4	V	4.5 6.0	V_{IH} or V_{IL}	$I_O = 4.0$ mA $I_O = 5.2$ mA
V_{OL}	LOW level output voltage bus driver outputs		0.15 0.16	0.26 0.26		0.33 0.33		0.4 0.4	V	4.5 6.0	V_{IH} or V_{IL}	$I_O = 6.0$ mA $I_O = 7.8$ mA
I_{I1}	input leakage current			0.1		1.0		1.0	μA	6.0	V_{CC} or GND	
I_{IOZ}	3-state OFF-state current			0.5		5.0		10.0	μA	6.0	V_{IH} or V_{IL}	$V_O = V_{CC}$ or GND
I_{CC}	quiescent supply current											
	SSI			2.0		20.0		40.0	μA	6.0	V_{CC} or GND	$I_O = 0$
	flip-flops			4.0		40.0		80.0		6.0		$I_O = 0$
	MSI			8.0		80.0		180.0		6.0		$I_O = 0$
	LSI			50.0		500		1000		6.0		$I_O = 0$

Tabla descriptiva con especificaciones en corriente continua –DC characteristics– para HC

SYMBOL	PARAMETER	T _{amb} (°C)							UNIT	TEST CONDITIONS		
		74HCT								V _{CC} (V)	V _I	OTHER
		+25			-40 to +85		-40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
V _{IH}	HIGH level input voltage	2.0	1.6		2.0		2.0		V	4.5 to 5.5		
V _{IL}	LOW level input voltage		1.2	0.8		0.8		0.8	V	4.5 to 5.5		
V _{OH}	HIGH level output voltage all outputs	4.4	4.5		4.4		4.4		V	4.5	V _{IH} or V _{IL}	-I _O = 20 μA
V _{OH}	HIGH level output voltage standard outputs	3.98	4.32		3.84		3.7		V	4.5	V _{IH} or V _{IL}	-I _O = 4.0 mA
V _{OH}	HIGH level output voltage bus driver outputs	3.98	4.32		3.84		3.7		V	4.5	V _{IH} or V _{IL}	-I _O = 6.0 mA
V _{OL}	LOW level output voltage all outputs		0	0.1		0.1		0.1	V	4.5	V _{IH} or V _{IL}	I _O = 20 μA
V _{OL}	LOW level output voltage standard outputs		0.15	0.26		0.33		0.4	V	4.5	V _{IH} or V _{IL}	I _O = 4.0 mA
V _{OL}	LOW level output voltage bus driver outputs		0.16	0.26		0.33		0.4	V	4.5	V _{IH} or V _{IL}	I _O = 6.0 mA
±I _I	input leakage current			0.1		1.0		1.0	μA	5.5	V _{CC} or GND	
±I _{OZ}	3-state OFF-state current			0.5		5.0		10.0	μA	5.5	V _{IH} or V _{IL}	V _O = V _{CC} or GND per input pin; other inputs at V _{CC} or GND; I _O = 0
I _{CC}	quiescent supply current											
	SSI			2.0		20.0		40.0	μA	5.5	V _{CC} or GND	I _O = 0
	flip-flops			4.0		40.0		80.0		5.5		I _O = 0
	MSI			8.0		80.0		160.0		5.5		I _O = 0
	LSI			50.0		500		1000		5.5		I _O = 0

Tabla descriptiva con especificaciones en corriente continua –DC characteristics– para HCT

Aquí, para ambas series:

- V_{IH} es la tensión de entrada en nivel lógico alto.
- V_{IL} es la tensión de entrada en nivel

lógico bajo.

- V_{OH} es la tensión de salida en nivel lógico alto.
- V_{OL} es la tensión de salida en nivel lógico bajo.

- I_i es la corriente de entrada en nivel alto o bajo.
- I_{OZ} es la corriente de salida estando la salida en alta impedancia (tercer estado),
- I_{CC} es la corriente de consumo total del chip (excepto que se especifique lo contrario).
- I_O es la corriente de salida en estado alto o bajo.
- T_{amb} es la temperatura ambiente.

Observaciones:

- Las características de tensiones de salida de ambas series son muy similares, existiendo una compatibilidad total con CMOS estándar. Éstas se especifican

para tres valores diferentes de tensión de alimentación: 2 V, 4,5 V y 6 V, en los dispositivos HC, y sólo en 4,5 V y 5,5 V para los HCT, debido a que estos últimos se diseñan para trabajar, fundamentalmente, a 5 V.

- Los consumos generales de potencia son iguales, así como los valores de las corrientes de entrada.
- Las diferencias se pueden observar en cuanto a los valores de tensión de entrada para los niveles alto y bajos. En HCT, las características de entrada están diseñadas para que sean compatibles con un dispositivo TTL que quiera conectarse a uno CMOS.

GND = 0 V; $t_r = t_f = 8$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T_{amb} (°C)						UNIT	TEST CONDITIONS		
		74HC							V_{CC} (V)	WAVEFORMS	
		+25			-40 to +85		-40 to +125				
		min.	typ.	max.	min.	max.	min.				max.
t_{THE}/t_{TLH}	output transition time standard outputs		19	75		95		110	ns	2.0	Figs 3 and 4
			7	15		19		22		4.5	
			6	13		16		19		6.0	
t_{THE}/t_{TLH}	output transition time bus driver outputs		14	60		75		90	ns	2.0	Figs 3 and 4
			5	12		15		18		4.5	
			4	10		13		15		6.0	

Tabla descriptiva con especificaciones en corriente alterna –AC characteristics– para HC

AC CHARACTERISTICS FOR 74HCT
GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T_{amb} (°C)						UNIT	TEST CONDITIONS		
		74HCT							V_{CC} (V)	WAVEFORMS	
		+25			-40 to +85		-40 to +125				
		min.	typ.	max.	min.	max.	min.				max.
t_{THE}/t_{TLH}	output transition time standard outputs		7	15		19		22	ns	4.5	Figs 8 and 9
t_{THE}/t_{TLH}	output transition time bus driver outputs		5	12		15		18	ns	4.5	Figs 8 and 9

Tabla descriptiva con especificaciones en corriente alterna –AC characteristics– para HCT

Observaciones:

- Los tiempos de subida (t_{TLH}) y de bajada (t_{THL}) se especifican para dos tipos de salidas: capacidad de carga normal y reforzada. La segunda opción tiene tiempos de retardo menores, lo que se debe a que, en ese tipo de salidas, al disponer de mayor corriente, se pueden cargar y descargar más rápido las capacidades de carga.
- Los tiempos de retardo en HC se especifican para tres valores de tensión de alimentación: 2 V, 4,5 V y 6 V; en cambio, para los HCT sólo en 4,5 V, debido a que estos últimos se diseñan para trabajar, fundamentalmente, a 5 V.
- Los valores para 4,5 V de tensión de alimentación son, en general, similares; pero, puede haber diferencias de dispositivo a dispositivo.
- Las especificaciones se hacen, en general, para una capacidad de carga de 50 pF.
- Los valores de tiempos de retardo aumentan con la temperatura, pudiendo ser de hasta un 30 % mayor al pasar de 25 °C a 85 °C.

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T_{amb} (°C)								UNIT	TEST CONDITIONS	
		74HCT									V_{CC} (V)	WAVEFORMS
		+25			-40 to +85		-40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
t_{PHL} / t_{PLH}	propagation delay nA, nB to nY		12	19		24		29	ns	4.5	Fig.6	
t_{THL} / t_{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.6	

Especificaciones en corriente alterna -AC characteristics- para 74HCT00; cuádruple compuerta nand

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T_{amb} (°C)								UNIT	TEST CONDITIONS	
		74HCT									V_{CC} (V)	WAVEFORMS
		+25			-40 to +85		-40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
t_{PHL} / t_{PLH}	propagation delay nA to nY		10	19		24		29	ns	4.5	Fig.6	
t_{THL} / t_{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.6	

Especificaciones en corriente alterna -AC characteristics- para 74HCT04; 74HCT04; séxtuple compuerta inversora

Este dispositivo es uno de los más rápidos, ya que sólo tiene una etapa de retardo formada por dos transistores MOS

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T _{amb} (°C)						UNIT	TEST CONDITIONS		
		74HCT							V _{CC} (V)	WAVEFORMS	
		+25			-40 to +85		-40 to +125				
		min.	typ.	max.	min.	max.	min.				max.
t _{PHL} / t _{PLH}	propagation delay nA, nB to nY		14	24		30		38	ns	4.5	Fig.7
t _{FHL} / t _{FLH}	output transition time		7	15		19		22	ns	4.5	Fig.7

*Especificaciones en corriente alterna –AC characteristics–
para 74HCT08; cuádruple compuerta and*

Este dispositivo es más lento que el 74HCT00 debido a que la *and* se implementa sobre la base de una *nand*, negándola

posteriormente. En tal caso, existen dos niveles de retardo al haber dos compuertas en serie.

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T _{amb} (°C)						UNIT	TEST CONDITIONS		
		74HCT							V _{CC} (V)	WAVEFORMS	
		+25			-40 to +85		-40 to +125				
		min.	typ.	max.	min.	max.	min.				max.
t _{PHL} / t _{PLH}	propagation delay 1A _n to 1Y _n 2A _n to 2Y _n		13	22		28		33	ns	4.5	Fig.5
t _{PZH} / t _{PZL}	3-state output enable time 1OE to 1Y _n 2OE to 2Y _n		15	30		38		45	ns	4.5	Fig.6
t _{PZH} / t _{PLZ}	3-state output disable time 1OE to 1Y _n 2OE to 2Y _n		15	25		31		38	ns	4.5	Fig.6
t _{FHL} / t _{FLH}	output transition time		5	12		15		18	ns	4.5	Fig.5

*Especificaciones en corriente alterna –AC characteristics–
para 74HCT244; óctuplo buffer no inversor con salida tri-state*

Las especificaciones de este tipo de dispositivo son más amplias, debido a que se debe puntualizar cómo funcionan cuando se sale del tercer estado o se entra a él.

- Los tiempos t_{PZH} o t_{PZL} son aquellos en que la salida tarda en pasar de alta

impedancia a alguno de los dos estados normales de funcionamiento.

- Los tiempos t_{PHZ} o t_{PLZ} por el contrario, son aquellos en que la salida tarda en pasar de un estado alto o bajo al de alta impedancia.

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T _{amb} (°C)						UNIT	TEST CONDITIONS		
		74HC74							V _{CC} (V)	WAVEFORMS	
		+25			-40 to +85		-40 to +125				
		min.	typ.	max.	min.	max.	min.				max.
t _{PHL} /t _{PLH}	propagation delay nCP to nQ, nQ̄		18	35		44		53	ns	4.5	Fig.6
t _{PHL} /t _{PLH}	propagation delay nS _D to nQ, nQ̄		23	40		50		60	ns	4.5	Fig.7
t _{PHL} /t _{PLH}	propagation delay nR _D to nQ, nQ̄		24	40		50		60	ns	4.5	Fig.7
t _{rHL} /t _{rLH}	output transition time		7	15		19		22	ns	4.5	Fig.6
t _w	clock pulse width HIGH or LOW	18	9		23		27		ns	4.5	Fig.6
t _w	set or reset pulse width LOW	16	9		20		24		ns	4.5	Fig.7
t _{res}	removal time set or reset	6	1		8		9		ns	4.5	Fig.7
t _{su}	set-up time nD to nCP	12	5		15		18		ns	4.5	Fig.6
t _h	hold time nCP to nD	3	-3		3		3		ns	4.5	Fig.6
f _{max}	maximum clock pulse frequency	27	54		22		18		MHz	4.5	Fig.6

*Especificaciones en corriente alterna –AC characteristics–
para 74HC74; doble flip-flop tipo “D” disparado por flanco ascendente*

- El tiempo t_w especifica que el pulso de reloj en la entrada de nCP.
- El tiempo t_{su} es el tiempo de establecimiento –set-up–.
- El tiempo t_h es el tiempo de mantenimiento –hold–.
- f_{max} indica la máxima frecuencia de trabajo del flip-flop.

Las descripciones de este dispositivo son aún más amplias, debido a que se trata de un circuito secuencial capaz de memorizar información de la entrada de datos.

Este flip-flop, como otros, aparte de la entrada de datos (D) y de las salidas negadas (/Q) y sin negar (Q) tiene una entrada de control que es el reloj (nCP) y otras dos entradas adicionales de borrado –clear– (/R_D) y preset (/S_D) asincrónicos que permiten, en cualquier condición de funcionamiento, forzar a que la salida sin negar (Q) quede en alto o en bajo, dependiendo de su combinación lógica.

- La denominación nCP to nQ, n/Q se refiere al tiempo de retardo en que las salidas, tanto Q como /Q, tardan en

reaccionar cuando cambia el reloj.

- La denominación n/S_D to nQ , n/Q se refiere a lo mismo; pero, siendo la entrada $/S_D$ la que gobierna el cambio. Es el tiempo en que las salidas tardan en reaccionar cuando $/S_D$ pasa de “1” a “0” (estando $/R_D$ en “1”).
- La denominación n/R_D to nQ , n/Q . Es el tiempo en que las salidas tardan en

reaccionar cuando $/RD$ pasa de “1” a “0” (estando $/S_D$ en “1”).

Algunos fabricantes indican esto de manera diferente:

- El primer caso como: $t_{CLK} \rightarrow Q$.
- El segundo como: $/S_D \rightarrow Q$.
- Y el tercero como: $/R_D \rightarrow Q$.

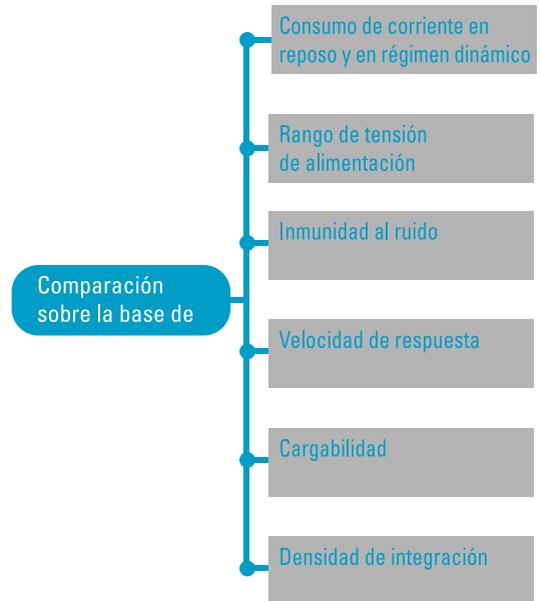
Comparación entre CMOS y TTL

Hemos visto que las tecnologías CMOS y TTL son muy diferentes. En los inicios, TTL era una tecnología de alto consumo y de alta velocidad de respuesta; con las mejoras introducidas se pudo lograr una disminución de la corriente que toma el circuito de la fuente y de los tiempos de retardo de propagación (aumento en la velocidad de respuesta). CMOS, por su parte, pasó por algunas etapas, desde la serie 4000 hasta la HE4000 mejorada y, posteriormente, surgieron las versiones de alta velocidad y TTL tales como las subfamilias 74HC y 74AC (con características CMOS), y las 74HCT y 74ACT (con características TTL).

Las comparaciones que realizamos son sobre la base de las subfamilias que se consiguen aún hoy en día. Éstas son:

- CMOS serie 4000 mejorada (CD4000BC y CD4000UBC).
- CMOS serie de alta velocidad 74HC compatible con CMOS.
- CMOS serie de alta velocidad 74HCT compatible con TTL.
- CMOS serie de alta velocidad 74AC compatible con CMOS.

- CMOS serie de alta velocidad 74ACT compatible con TTL.
- TTL serie 74LS.
- TTL serie 74ALS.
- TTL serie 74F.³³



³³No consideramos la serie original denominada 74 ni las subfamilias 74L, 74S, etc., ya que están fuera del mercado debido a que fueron superadas por la subfamilia TTL Schottky de baja potencia (series LS, ALS y FAST). Tampoco analizamos las versiones de tensión reducida TTL y CMOS, ya que pueden inferirse fácilmente, teniendo como base lo analizado para su funcionamiento en 5 V.

Existen muchas maneras de poder realizar comparaciones entre todos estos dispositivos para cada una de las características de interés. Aquí, lo hacemos siguiendo un criterio de velocidad y compatibilidad, considerando grupos de dispositivos que tienen alguna relación de *performance* entre sí:

- Grupo 1: Serie estándar CMOS con la serie 74LS de TTL *Low Power Schottky*. Comparamos la serie CD4000UBC/BC (+3 V a +18 V) con la 74LS (+5 V) que son, respectivamente, las series más clásicas de baja a mediana velocidad. Son, además, las más difundidas en nuestro medio, con un precio razonable y de fácil adquisición en el mercado nacional.
- Grupo 2: Series *Low Power Schottky* TTL con las versiones CMOS de alta velocidad compatibles con CMOS. Comparamos las series 74LS/ALS de TTL con la 74HC de CMOS.
- Grupo 3: Series CMOS de alta velocidad compatibles con TTL. Comparamos la serie CD4000UBC/BC con las de alta velocidad 74HC y 74AC.

Grupo 1: Comparación entre la serie CD4000UBC/BC de CMOS y la 74LS de TTL

Consumo. Para analizar el consumo debemos dividirlo en consumo de continua y consumo de alterna.

El consumo de continua es el consumo de corriente de un dispositivo, cuando cada una de sus entradas están fijadas a un nivel lógico determinado (no importa que sean diferentes entre sí); en general, para este caso, se elige evaluar la corriente consumida en vez de la potencia.

En este aspecto, CMOS tiene una total ventaja, ya que, al tratarse de una tecnología que emplea transistores de efecto de campo, sus características en continua son superiores a las de la tecnología bipolar.

Un transistor tipo MOS tiene una muy alta impedancia de entrada y, cuando está cortado, prácticamente no circula más que una pequeña corriente de fuga entre los terminales de *Drain* y *Source*.

El consumo de alterna, también denominado consumo dinámico, es aquél que se produce por la aplicación de señales variables en el tiempo; en este caso, suele evaluarse la potencia consumida en vez de corriente.

En la siguiente tabla vemos la comparación general entre dos tipos diferentes de dispositivos: una compuerta y un contador. Se resume para dos consumos diferentes: uno estático y otro dinámico a una misma frecuencia de operación, para ambas tecnologías.

Familia lógica		CMOS	TTL
Subfamilia		CD4000BC	74LS
Consumo compuerta en mW	Estático	0,001	2,0
	A 100 kHz	0,100	2,0
Consumo contador en mW	Estático	0,001	100,0
	A 100 kHz	0,120	100,0

En régimen estático, CMOS tiene un consumo despreciable que es función de la tensión de alimentación: A mayor tensión V_{DD} , mayor es la potencia que consume –aunque sea muy pequeña–.

Cuando se inyecta una señal variable en el tiempo, la potencia disipada en CMOS es directamente proporcional a la frecuencia

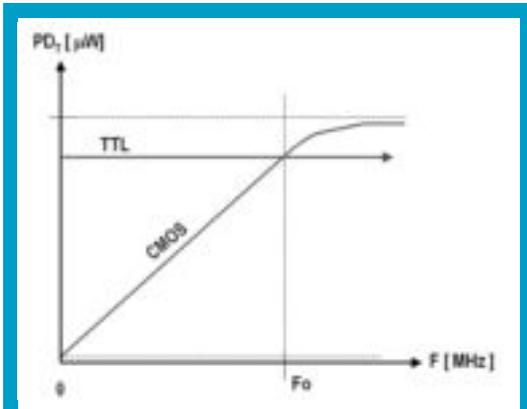


Gráfico mostrando la evolución de la potencia total disipada para dispositivos CMOS y TTL en función de la frecuencia de operación

de operación e inversamente proporcional a V_{DD} .

Para V_{DD} constante, la potencia evoluciona linealmente con la frecuencia de trabajo, hasta que se llega a un valor tal que las pérdidas internas en el dispositivo debidas a la energía que hay que gastar en conmutar a los transistores MOS son mayores que la energía que hay que disponer para cargar y descargar a la capacidad de carga.

A partir de allí, la curva comienza a “saturarse”; es decir, a crecer cada vez menos. Por eso, se ve un “codo” en la respuesta.

TTL, por el contrario, mantiene su nivel de potencia invariable con la frecuencia de operación, ya que casi toda la energía que entrega la fuente es debido a los picos de corriente generados en las conmutaciones de los transistores bipolares. El resto de la energía requerida, aunque muy pequeño, es para la carga y descarga de la capacidad de carga.

En realidad, si se sigue aumentando la frecuencia

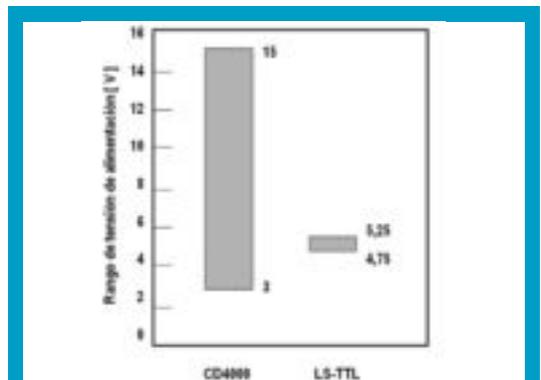
de operación en TTL, la curva plana comienza a subir, debido a que la energía que debe entregársele comienza a ser comparable con la interna.

Como se puede apreciar en el gráfico, existe una frecuencia f_0 en la que los consumos de potencia son comparables en ambas tecnologías. A partir de allí, CMOS consume mayor energía que TTL. Este valor de frecuencia es variable y depende del dispositivo del que se trate.

En realidad, la curva sigue para TTL ya que tiene mayor frecuencia de operación que CMOS. Por eso está indicada con una flecha.

Rango de tensión de alimentación. CMOS tiene una amplia gama de tensiones de alimentación, la que va desde los 3,0 V hasta los 18 V; pero, en general, los fabricantes recomiendan emplear los dispositivos entre 5 V y 15 V.

En cambio, TTL –tanto en la serie original como en la basada en transistores Schottky de baja potencia (74LS, 74ALS y 74F)– sólo puede trabajar en los 5 V con un rango muy pequeño de variación que va desde los 4,75 V hasta los 5,25 V (+/- 5% del valor de tensión nominal).



Comparación de rango de tensiones de alimentación para CMOS estándar y TTL-LS

Esta poca tolerancia al valor de tensión de alimentación es una desventaja para TTL, ya que requiere emplear fuentes reguladas en tensión que garanticen que la tensión de salida no supere esos valores.

Inmunidad al ruido. Otro problema que tiene TTL (que está asociado con la poca flexibilidad en cuanto a la elección de la tensión de alimentación) es la inmunidad al ruido. Los niveles de margen de ruido alto y bajo están en los 0,3 V, para la serie 74LS.

En cambio, en CMOS serie CD4000, para la misma tensión de alimentación de 5 V, estos niveles son de 1,5 V; es decir, el margen de ruido general es cinco veces superior.

Si se puede emplear mayor tensión VDD, el valor absoluto se incrementa. Por ejemplo si alimentamos a un CMOS con 15 V, tenemos tres veces mayor nivel de inmunidad al ruido (4,5 V).

El margen de ruido en CMOS es igual al 30 % del valor de V_{DD} .

Velocidad de respuesta. La serie 74LS es la más lenta de los dispositivos basados en transistores Schottky de baja potencia, como los de la serie 74ALS y 74F.

A pesar de ello, los tiempos de retardo de propagación son un orden de magnitud menores que en CMOS (entre ocho a diez veces menos, según el dispositivo del que se trate).

La siguiente tabla resume esta característica; en ella, la tensión de alimentación es la misma para ambas tecnologías (5 V):

Familia lógica		CMOS	TTL
Subfamilia		CD4000BC	74LS
Retardo de compuerta en ns	Típico	94	9,5
	Máximo	190	15,0
Frecuencia máxima FF [MHz]		4	33
Frecuencia máxima contador [MHz]		2	32

Cargabilidad. La siguiente tabla resume los valores máximos de corrientes de entrada y de salida en ambas tecnologías:

Familia lógica		CMOS	TTL
Subfamilia		CD4000BC	74LS
Corriente de entrada en alto I_{IHmax}		1,0 μ A	20 μ A
Corriente de entrada en bajo I_{ILmax}		1,0 μ A	0,4 mA
Corriente de salida en alto I_{OHmax}		0,4 mA	0,4 mA
Corriente de salida en bajo I_{OLmax}		0,4 mA	8,0 mA

Como se puede observar, si en LS TTL hacemos la división de la corriente de salida sobre la de entrada para cada nivel lógico, la cuenta da 20. Eso significa que cada salida TTL puede soportar hasta 20 entradas de ese mismo tipo.

En forma similar, para el caso de CMOS la cuenta nos da 400. A una salida CMOS podemos agregarle hasta 400 entradas de ese tipo sin que haya problemas de sobrecarga.

Queda claro, entonces, que la cargabilidad en CMOS es 20 veces superior a la de TTL.

Recordemos que, sin embargo, el problema de carga en CMOS no viene del análisis de funcionamiento estático sino del dinámico.

Si conectáramos 400 cargas a una salida CMOS, la capacidad sería de alrededor de

$5 \text{ pF} \times 400 = 2000$, $\text{pF} = 2 \text{ }\mu\text{F}$, generando un tiempo de retardo muy elevado, además del aumento del consumo de potencia –ya que depende linealmente de la capacidad de carga–.

Con respecto a la posibilidad de interconectar un dispositivo TTL con otro CMOS, desde el punto de vista de la corriente requerida, podemos hacer las siguientes observaciones:

- Una salida TTL puede manejar en la práctica, sin problemas, cualquier cantidad razonable de entradas CMOS estándar.
- Una salida CMOS estándar puede manejar sólo una entrada TTL LS.

Densidad de integración³⁴. Existen tres razones importantes que definen a CMOS como la tecnología de mayor densidad de integración:

- En general, el proceso de fabricación de un transistor CMOS requiere menos espacio que para su similar TTL (transistores bipolares NPN).
- Por otro lado, la estructura de diseño de las compuertas en CMOS requiere una menor cantidad de componentes³⁵.
- En CMOS se pueden implementar funciones lógicas de manera diferente a las

³⁴Se entiende por densidad de integración a la cantidad de componentes (transistores, resistencias, etc.) que pueden fabricarse en una determinada área de silicio, para implementar un circuito electrónico, ya sea analógico, digital o mixto.

³⁵Un ejemplo simple de visualizar esto es en el caso de un inversor. Para implementar un inversor CMOS de la serie HE4000 se necesitan sólo 4 transistores (la versión con buffer de salida) mientras que para lograr lo mismo con la serie 74LS de la tecnología TTL se requiere utilizar 5 transistores (4 de los cuales son del tipo Schottky que exigen mayor área de silicio), 4 diodos y 7 resistencias.

tradicionales, utilizando compuertas de paso e inversores³⁶.



Actividades para el aula 3.1

Resulta importante que sus alumnos analicen las hojas de datos de los integrados:

- 74LS04 (séxtuple inversor TTL de la serie LS) y
- CD4049UBC (séxtuple inversor de la serie CD4000 de CMOS).

Esta tarea les va a permitir especificar sus diferencias.



Actividades para el aula 3.1

También puede proponer a los jóvenes probar, en una placa de pruebas, el circuito integrado TTL de la serie 74LS04 y el de la serie CMOS CD4049UBC, para:

- a. Obtener su función de transferencia.
- b. Medir las corrientes de entrada en ambos niveles lógicos.
- c. Medir el consumo total de cada dispositivo, con alimentación de 5 V en ambos niveles lógicos.
- d. Comparar, para cada uno de los chips a analizar, las variaciones que

³⁶Tal es el caso de diseño de los flip-flop tipo “D” disparados por flanco y de las denominadas compuertas complejas.

sufre la tensión de salida cuando a un inversor de un chip se le conectan los 5 inversores restantes.

e. Conectar el inversor CD4049UBC a la salida del 74LS04 y medir el nivel de salida de este último, en el estado alto.



En estas tareas, los alumnos:

- Verifican que el CMOS tiene margen de ruido mayor al TTL.
- Comprueban la baja cargabilidad que presenta una entrada CMOS.
- Concluyen el bajo consumo de CMOS, igual en ambos niveles lógicos.
-
- Verifican que, si el nivel de la salida TTL en alto está por debajo de los 3,5 V, el CMOS interpreta erróneamente ese "1". En este caso, resulta oportuno conectar una resistencia de *pull-up* para verificar que se soluciona el problema³⁷.



Actividades para el aula 3.3

Sus alumnos pueden probar los circuitos integrados CD4049UBC y 74LS04 –ambos inversores–, para:

- Obtener su función de transferencia.
- Comparar los tiempos de respuesta de cada serie; para esto, inyectan una señal cuadrada de frecuencia de 1 MHz y van aumentándola.



En estas tareas, los alumnos:

- Verifican que las curvas características de tensión de salida versus tensión de entrada son diferentes, por lo que el 74LS04 no es compatible con la serie original CMOS.
- Comprueban la mayor rapidez de la serie 74LS.

Grupo 2: Comparación entre las series 74LS, 74ALS de TTL y las series CMOS de alta velocidad compatible con CMOS

Consumo. El consumo de los dispositivos HC-CMOS en régimen estático es mayor que el consumo de los de la serie CMOS original. No obstante, sigue siendo muy pequeño y apto para emplearse en aplicaciones portátiles.

La serie ALS TTL –si bien consume casi la mitad de potencia que la serie LS TTL– sigue consumiendo mucho en comparación con la HC-CMOS.

Familia lógica		CMOS		TTL	
Subfamilia		74HC	74LS	74ALS	
Consumo compuerta en mW	Estático	0,0025	2	1,2	
	A 100 kHz	0,1700	2	1,2	

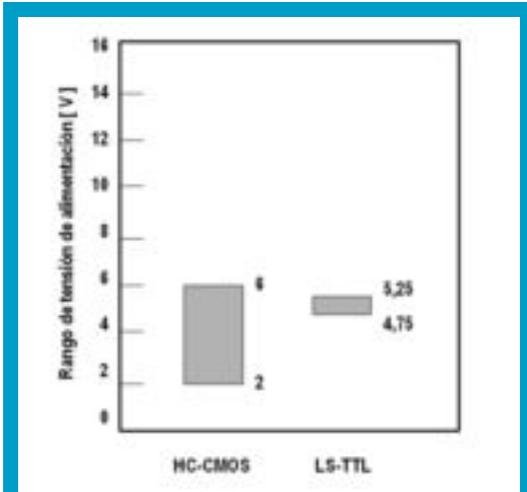
La curva de potencia, en función de la frecuencia de operación, es similar a la vista en el grupo 1. En CMOS, la potencia es función

aún perteneciendo al mismo integrado. Para realizar esta prueba con más precisión se puede usar un potenciómetro de, por ejemplo, 10 kΩ, formando un divisor resistivo conectando un extremo a V_{DD} y el otro a V_{SS} , y el cursor, a la entrada del inversor CMOS. Se varía la tensión y se registra cuál es el nivel de tensión límite tal que, por debajo de él, el inversor CMOS no reconoce bien el "1" (se debe observar que la salida comienza a conmutar de un nivel lógico a otro).

³⁷Esto depende de cada compuerta en particular, y puede variar de chip en chip y de compuerta en compuerta,

lineal de la frecuencia; en TTL, en cambio, es una constante.

Rango de tensión de alimentación. Las series de alta velocidad CMOS tienen el rango de tensión de alimentación reducido, con respecto a la CMOS tradicional (serie CD4000).



Comparación de rango de tensiones de alimentación para CMOS de alta velocidad y TTL-LS

Se puede observar cómo HC-CMOS puede trabajar, ahora, desde los 2 V hasta los 6 V de tensión de alimentación, mientras que TTL sigue en un valor inflexible de alrededor de los 5 V.

Inmunidad al ruido. En la siguiente tabla vemos la comparación entre la LS TTL (74LS) y la HC-CMOS (74HC), ambas para 5 V de tensión de alimentación

Familia lógica	CMOS		TTL	
Subfamilia	74HC	74AC	74LS	74ALS
Tensión de entrada en alto V_{IHmax}	3,50 V	3,15 V	2,00 V	2,00 V
Tensión de entrada en bajo V_{ILmax}	1,50 V	1,35 V	0,80 V	0,80 V
Tensión de salida en alto V_{OHmax}	4,44 V	4,40 V	2,40 V	2,40 V
Tensión de salida en bajo V_{OLmax}	0,50 V	0,10 V	0,40 V	0,40 V

Se puede observar que el margen de ruido en HC-CMOS sigue siendo mayor que en las series TTL 74LS y TTL 74ALS, ya que tenemos:

Margen de ruido en alto en HC-CMOS:
 $4,44 \text{ V} - 3,50 \text{ V} = 0,94 \text{ V}$

Margen de ruido en alto en LS-ALS TTL:
 $2,40 \text{ V} - 2,00 \text{ V} = 0,40 \text{ V}$

Margen de ruido en bajo en HC-CMOS:
 $1,50 \text{ V} - 0,50 \text{ V} = 1,00 \text{ V}$

Margen de ruido en bajo en LS-ALS TTL:
 $0,80 \text{ V} - 0,40 \text{ V} = 0,40 \text{ V}$

En HC-CMOS, el margen de ruido es de 1,0 V, mientras que en LS-ALS TTL es de 0,4 V.

No obstante, en la serie CD4000, el margen de ruido era aún mayor.

Velocidad de respuesta. La familia de dispositivos HC-CMOS puede operar a velocidades comparables a las de la serie LS, por lo cual no acercamos tablas comparativas. La diferencia en cuanto al tiempo de respuesta respecto de la serie original CMOS se debe a la mejora sustancial en los procesos de fabricación de los transistores MOS.

Con respecto a la serie TTL ALS, podemos decir que ésta presenta, aproximadamente, el doble de velocidad de respuesta que la serie TTL LS y, por lo tanto, de la HC-CMOS.

Si comparamos, ahora, la serie 74AC con la 74ALS, tenemos que la primera es un poco más rápida que la segunda (alrededor de un 30 % mayor).

Por ejemplo, para el chip 74AC00 y 74ALS00, los tiempos de retardo son:

El $t_{p_{LH}}$ máximo en [ns] para 74AC es de 8.
 El $t_{p_{LH}}$ máximo en [ns] para 74ALS es de 11.

El $t_{p_{HL}}$ máximo en [ns] para 74AC es de 6,5.
 El $t_{p_{HL}}$ máximo en [ns] para 74ALS es de 8,0.

Cargabilidad. La siguiente tabla resume los valores máximos de corrientes de entrada y de salida en ambas tecnologías:

Familia lógica	CMOS		TTL	
Subfamilia	74HC	74AC	74LS	74ALS
Corriente de entrada en alto I_{IHmax}	1 μ A	1 μ A	20 μ A	20 μ A
Corriente de entrada en bajo I_{ILmax}	1 μ A	1 μ A	0,4 mA	100 μ A
Corriente de salida en alto I_{OHmax}	4,0 mA	24 mA	0,4 mA	0,4 mA
Corriente de salida en bajo I_{OLmax}	4,0 mA	24 mA	8,0 mA	8,0 mA

Haciendo un análisis similar al caso de la serie CMOS, una salida LS-ALS TTL puede soportar hasta 20 entradas de ese mismo tipo. En HC-CMOS se puede manejar un orden de magnitud más que en el caso de CMOS estándar; fundamentalmente, debido a la mejora en los transistores de salida que pueden erogar mayor corriente (10 veces más que la serie CD4000).

Por el contrario, la serie 74AC tiene las mismas características de entrada que la 74HC, pero puede manejar 6 veces más corriente.

Con respecto a la conectividad entre familias lógicas, tenemos que:

- Una salida TTL LS-ALS puede manejar sin problemas cualquier cantidad razonable de entradas HC-CMOS estándar.
- Una salida HC-CMOS puede manejar hasta 10 entradas TTL LS-ALS.

- Una salida AC-CMOS puede manejar sin problemas varias entradas TTL.

Densidad de integración. El análisis es el mismo hecho anteriormente. Las series de alta velocidad CMOS aumentaron aún más la densidad de integración respecto a la CMOS estándar debido a que los avances tecnológicos lograron –y siguen logrando– disminuir el tamaño de los transistores, con lo cual se puede implementar mayor número de circuitos en una misma área de chip.

Grupo 3: Comparación entre series CMOS de alta velocidad compatibles con TTL (74HCT-ACT) y las series TTL 74LS y 74ALS.

Consumo. Es análogo a lo que hemos analizado en el grupo 2. Podemos citar aquí que existe una diferencia de consumo entre las series 74HCT-ACT y 74HC-AC; las 74HCT-ACT tienen un 30 % menos de consumo que las 74HC-AC en las mismas condiciones de funcionamiento (tensión de alimentación y frecuencia de operación).

Por ejemplo, podemos decir que una compuerta 74HCT consume en 10 MHz a una corriente de 0,07 mA, mientras que un dispositivo similar de la serie 74HC consume 0,11 mA a la misma frecuencia.

Rango de tensión de alimentación. Es similar a lo analizado en el grupo 2.

Inmunidad al ruido. Como se puede observar en la tabla, las series 74HCT y 74ACT tienen los mismos valores de tensiones de entrada que las series TTL, a fin de poder establecer una interconexión apropiada entre ambas tecnologías.

Los niveles de tensión de las salidas de 74HCT y 74ACT siguen siendo compatibles con la serie CMOS original, lo que hace que los márgenes de ruido de estos dispositivos CMOS sigan siendo superiores a los de TTL.

Familia lógica	CMOS		TTL	
	74HCT	74ACT	74LS	74ALS
Tensión de entrada en alto V_{IHmax}	2,00 V	2,00 V	2,00 V	2,00 V
Tensión de entrada en bajo V_{ILmax}	0,80 V	0,80 V	0,80 V	0,80 V
Tensión de salida en alto V_{OHmax}	4,90 V	4,90 V	2,40 V	2,40 V
Tensión de salida en bajo V_{OLmax}	0,10 V	0,10 V	0,40 V	0,40 V

Velocidad de respuesta. La versión ACT –tal como la AC analizada en el grupo anterior– es más rápida, inclusive que la 74ALS de TTL.

En la siguiente tabla damos dos ejemplos de tiempos de retardo de propagación que corresponden a dos dispositivos: un buffer no-inversor con Tri-state 74XX244 y un flip-flop tipo “D” 74XX374:

Familia lógica	CMOS		TTL	
	74HCT	74ACT	74LS	74ALS
tpd [ns] del 74XX244	15	6	12	8,5
tpd [ns] del 74XX374	25	3,5	18	5

Cargabilidad. La serie ACT tiene mayor cargabilidad, es decir, mayor capacidad de corriente a la salida. Como en todas las versiones CMOS, los valores de corriente de salida tanto en estado alto como en bajo son iguales, a diferencia de TTL–donde en el estado alto implica la menor corriente que puede drenar una salida de este tipo–.

Como ejemplo, damos los valores de corriente de salida que puede entregar un circuito integrado como el 74XX00 (cuá-

druple nand de 2 entradas) para ambas tecnologías y subfamilias:

Familia lógica	CMOS		TTL	
	74HCT00	74ACT00	74LS00	74ALS00
Corriente máx. de corriente en bajo [mA]	4	24	8	8
Corriente máx. de corriente en alto [mA]	4	24	0,4	0,4



Actividades para el aula 3.4

Sus alumnos pueden probar los circuitos integrados TTL de las series 74LS04 y 74ALS04 y los de la serie CMOS de alta velocidad 74HCT04, 74ACT04, y:

- a. Obtener su función de transferencia.
- b. Medir las corrientes de entrada en ambos niveles lógicos.
- c. Medir el consumo total de cada dispositivo, con alimentación de 5 V, en ambos niveles lógicos.
- d. Comparar, para cada uno de los chips a analizar, las variaciones que sufre la tensión de salida cuando a un inversor de un chip se le conecta el resto de los cinco inversores faltantes.



A partir de estas tareas, los estudiantes:

- a. Verifican que los CMOS son compatibles con TTL.
- b. Comprueban la baja cargabilidad que presenta una entrada CMOS.
- c. Verifican el bajo consumo de CMOS, igual en ambos niveles lógicos.



Actividades para el aula 3.5

Proponga a sus alumnos probar los circuitos integrados CD4049UBC y 74HC04 –ambos, inversores–, para:

- a. Obtener su función de transferencia.
- b. Comparar los tiempos de respuesta de cada serie, inyectando una señal cuadrada de frecuencia de 1 MHz.



A partir de estas tareas, los estudiantes:

- a. Verifican que las curvas características de tensión de salida versus la tensión de entrada son similares, por lo que el 74HC04 es compatible con la serie original.
- b. Comprueban la mayor rapidez de la serie 74HC.

Bibliografía

- Angulo J. M.; García Zubia (2001) *Sistemas digitales y tecnología de computadores*. Paraninfo.
- Bignell, James W.; Dovan, Robert, L. (1997) *Electrónica digital*. CECSA
- Buchanan, James (1990) *CMOS/TTL Digital Systems Design*. McGraw-Hill.
- Ginzburg, M. C. (1998; 8° ed.) *Introducción a las técnicas digitales*. Biblioteca Técnica Superior
- Sedra-Smith (1999; 4° ed.) *Circuitos microelectrónicos*. Oxford University Press
- Tocci, Roland (1997) *Sistemas digitales: Principios y aplicaciones*. Prentice Hall.
- Vyemura, John P. (2000) *Diseño de sistemas digitales: Un enfoque integrado*. Internacional Thomson.
- Wakerly, John (2000) *Digital design: Principles and Practices*. Prentice Hall.

Notas de aplicación (en idioma inglés)

Fairchild Semiconductors. *74C Family Characteristics*.

Fairchild Semiconductors. *An Introduction to and Comparison of 74HCT TTL Compatible CMOS Logic*.

Fairchild Semiconductors. *CMOS, the ideal Logic Family*.

Fairchild Semiconductors. *Comparison of MM74HC to 74LS, 74S and 74ALS*.

Fairchild Semiconductors. *DC Noise Immunity of CMOS Logic Gates*.

Fairchild Semiconductors. *Electrostatic Discharge Prevention-Input Protection Circuits and Handling Guide for CMOS Devices*.

Fairchild Semiconductors. *Interfacing to MM74HC High-speed CMOS Logic*.

Fairchild Semiconductors. *Understanding Latch-Up in CMOS Logic*.

Fairchild Semiconductors. *VHC/VHCT Introduction*.

Philips Semiconductors. *HCT-User-Guide (User Guide)*.

Philips Semiconductors. *Interfacing 3v and 5V applications*.

Texas Instruments. *Advanced High-Speed CMOS (AHC) Logic Family*.

Texas Instruments. *CMOS Power Consumption and CPD Calculation*.

Texas Instruments. *HCMOS Design Considerations*.

Texas Instruments. *Logic Selection Guide*.

Texas Instruments. *SN54/74HCT CMOS Logic Family Applications and Restrictions*.

Sitios web para descargas y consultas³⁸

www.analog.com Sitio web de la empresa *Analog Devices*, fabricante de componentes electrónicos.

www.chipdir.org Sitio web de la organización *Chidir*. Base de datos para búsqueda de componentes electrónicos.

³⁸Los sitios que aquí se especifican constituyen sólo una lista parcial y son aquellos en los que el autor ha obtenido información para la elaboración de este material de capacitación. La omisión de otros no constituye desmedro alguno.

- www.datasheetcatalog.com Sitio web de la empresa *Datasheet Catalog*. En este lugar se pueden bajar en forma gratuita hojas de datos de todo tipo de componentes electrónicos; en particular, de electrónica digital.
- www.electronicsonline.com Sitio web de la organización *Electrónicos Online*, empresa con enlaces sobre electrónica en general y búsqueda de componentes electrónicos.
- www.fairchildsemi.com Sitio web de la empresa *Fairchild*, fabricante de componentes electrónicos.
- www.intersil.com Sitio web de la empresa *Intersil*, fabricante de componentes electrónicos.
- www.maxim-ic.com Sitio web de la empresa *Maxim*, fabricante de componentes electrónicos.
- www.national.com Sitio web de la empresa *National Semiconductor Corporation*, fabricante de componentes electrónicos.
- www.onsemi.com Sitio web de la empresa ON Semi (antes, Motorola Semiconductors), fabricante de componentes electrónicos.
- www.onsemi.com/site/content/0,4367,1020,00.htm Desde esta página se puede acceder a hojas de datos y notas de aplicación sobre dispositivos lógicos, en “Data Books/Selector Guide”.
- www.semiconductors.philips.com Sitio web de la empresa Philips Semiconductors, fabricante de componentes electrónicos.
- www.semicon.toshiba.co.jp Sitio web de la empresa Toshiba Semiconductors, fabricante de componentes electrónicos.
- www.st.com Sitio web de la empresa ST Microelectronics, fabricante de componentes electrónicos.
- www.ti.com Sitio web de la empresa Texas Instruments, fabricante de componentes electrónicos.



MINISTERIO *de*
EDUCACIÓN
CIENCIA y TECNOLOGÍA
PRESIDENCIA *de la* NACIÓN



Argentina

inet
Instituto Nacional de
Educación Tecnológica